Tikrit University	**2012- 2013**	**Subject: Electronic II**
College of Eng.	**Class: Third**	**Date: 24/03/2012**
Dept. of Electrical Eng.	**Fourth Attempt**	**Time: 1:30 hour**

Q1: *Design a band pass unity gain Butterworth filter to produce f_c=20 KHz, assume Q=10 and C_1=0.1μF? Determine the lower and upper cutoff frequencies and sketch the filter response?* **30Mar**

Q2: ***a)*** *For the circuit shown in figure (1), show that the frequency of oscillation is* $\omega = \frac{\sqrt{3}}{RC}$ **30 Mar**

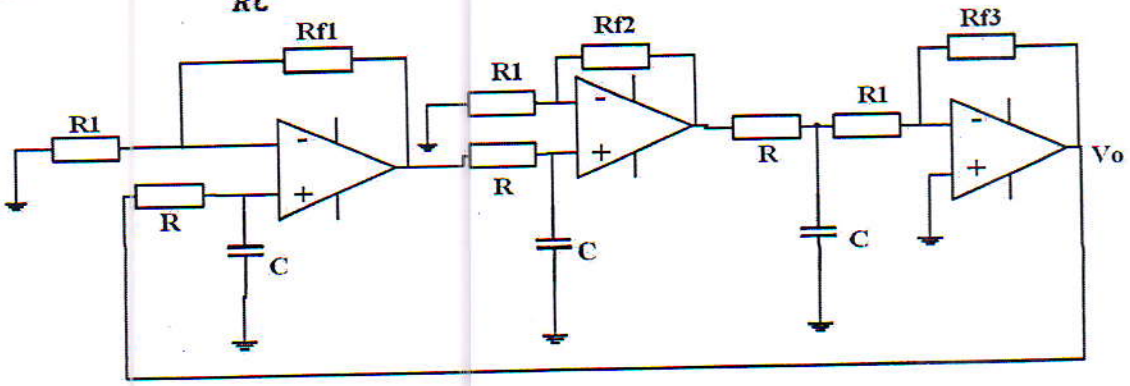


Fig (1)

b) 1. *Explain how the notch filter can be built using low pass and high pass filters?* ***2.*** *Explain in details, the work principle of crystal oscillator? Confirm your answer by drawing.* **15 Mar**

Q3: *For the circuit shown in figure (2), explain whether the PLL unit can lock and capture frequencies or not?* **25Mar.**

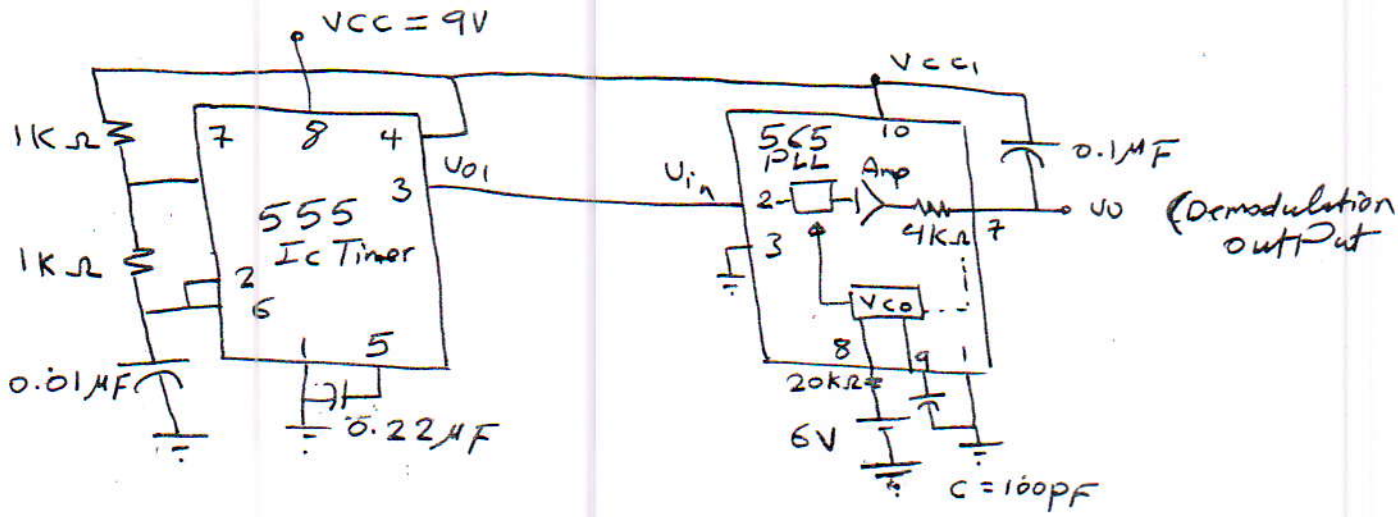


Fig (2)

Tikrit University	**2012- 2013**	**Subject: Electronic II**
College of Eng.	**Class: Third**	**Date: 24/03/2012**
Dept. of Electrical Eng.	**Fourth Attempt**	**Time: 1:30 hour**

Q1: *Design a band pass unity gain Butterworth filter to produce f_c=20 KHz, assume Q=10 and C_1=0.1μF? Determine the lower and upper cutoff frequencies and sketch the filter response?* **30Mar**

Q2: ***a)*** *For the circuit shown in figure (1), show that the frequency of oscillation is* $\omega = \frac{\sqrt{3}}{RC}$ **30 Mar**

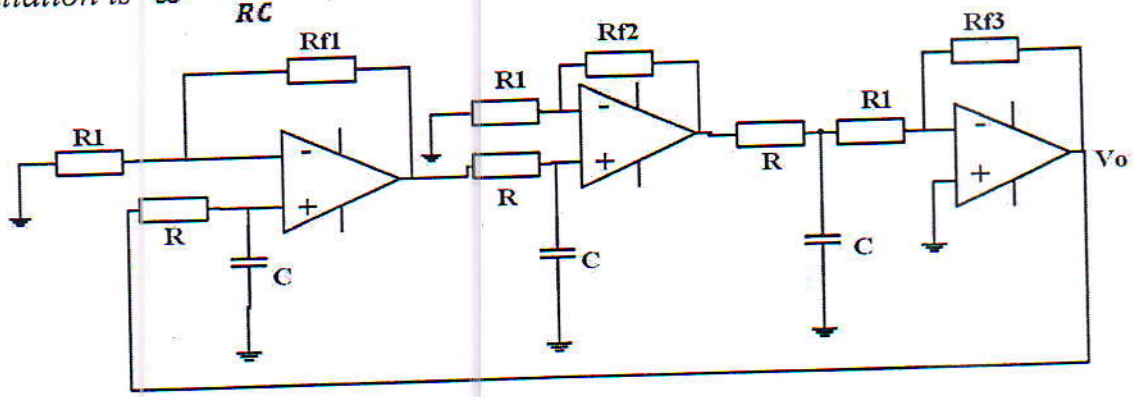


Fig (1)

b) 1. *Explain how the notch filter can be built using low pass and high pass filters?* ***2.*** *Explain in details, the work principle of crystal oscillator? Confirm your answer by drawing.* **15 Mar**

Q3: *For the circuit shown in figure (2), explain whether the PLL unit can lock and capture frequencies or not?* **25Mar.**

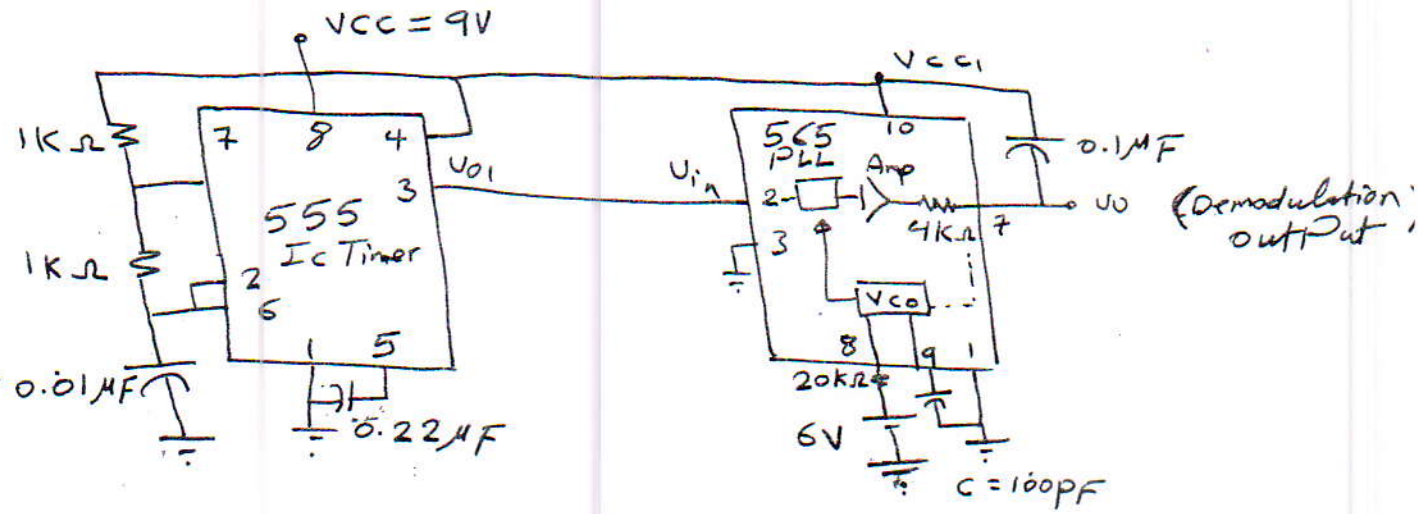


Fig (2)

Tikrit University	**2012- 2013**	**Subject: Electronic II**
College of Eng.	**Class: Third**	**Date: 24/03/2012**
Dept. of Electrical Eng.	**Fourth Attempt**	**Time: 1:30 hour**

Q1: *Design a band pass unity gain Butterworth filter to produce f_c=20 KHz, assume Q=10 and C_1=0.1μF? Determine the lower and upper cutoff frequencies and sketch the filter response?* **30Mar**

Q2: ***a)*** *For the circuit shown in figure (1), show that the frequency of oscillation is* $\omega = \frac{\sqrt{3}}{RC}$ **30 Mar**

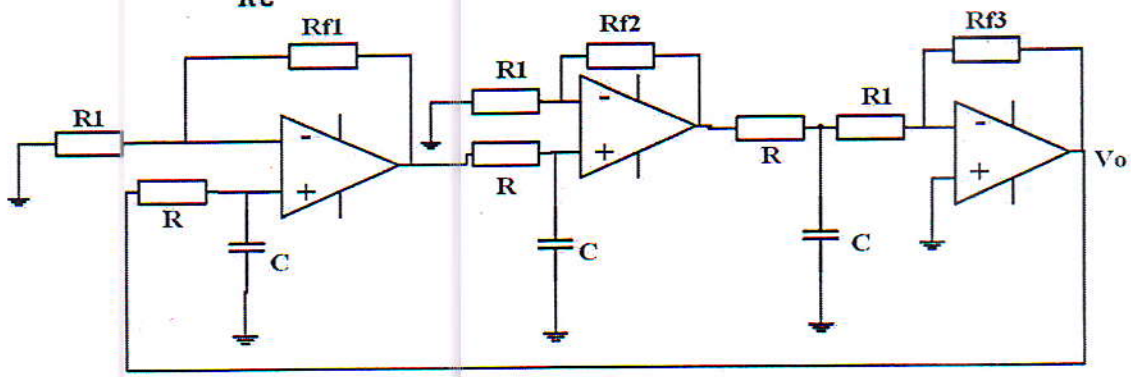


Fig (1)

b) 1. *Explain how the notch filter can be built using low pass and high pass filters?* ***2.*** *Explain in details, the work principle of crystal oscillator? Confirm your answer by drawing.* **15 Mar**

Q3: *For the circuit shown in figure (2), explain whether the PLL unit can lock and capture frequencies or not?* **25Mar**

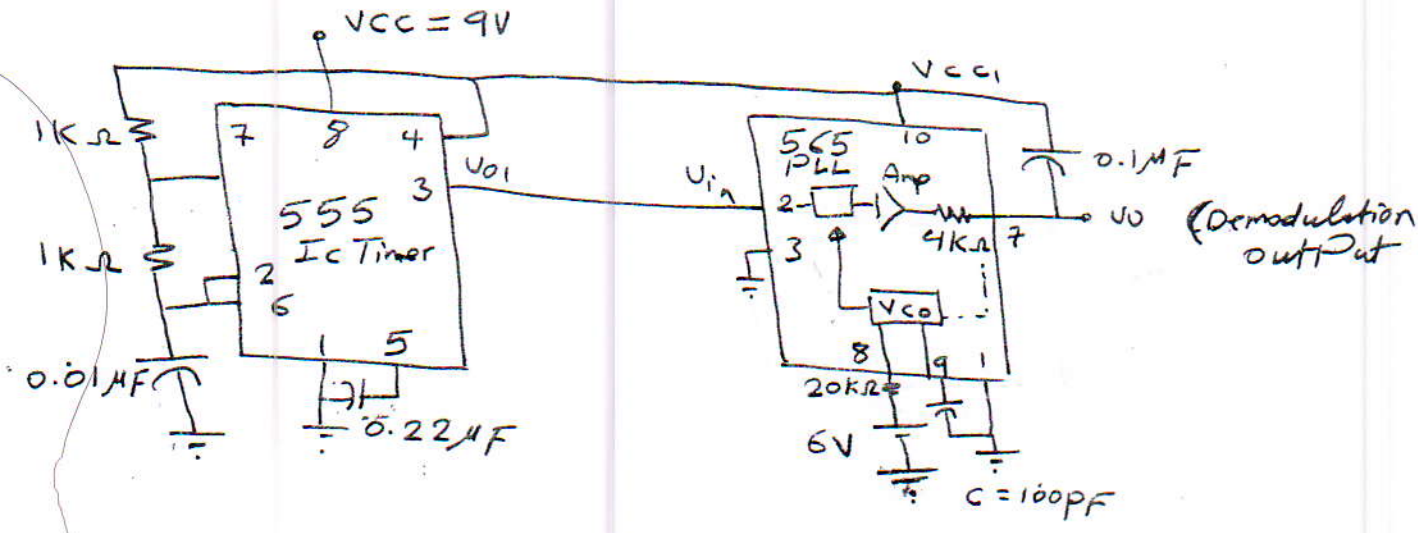


Fig (2)

* Power Amplifier:

The last stage of amplifiers must increase the voltage and current levels of i/p signal without distortion

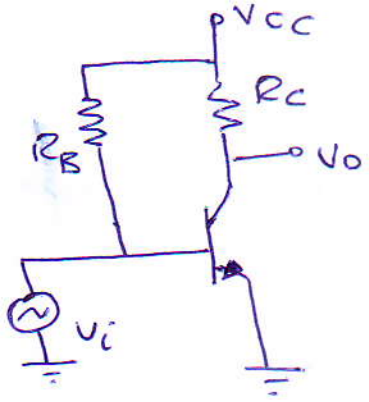
Power amplifier can be classified into five classes: class A, class B, class AB, class C and class D.

	A	B	AB	C	D
Operating cycle	360°	180°	180°-360°	Less than 180°	Pulse operation
Power efficiency	25% to 50%	78.5%	between 25% (50%) to 78.5%	–	Typically over 90%

Class C: لم يتم اعطاء قيمة الكفاءة له لانه عاده لا يستخدم لغرض سوق القدرة ولكن كمكبر لترددات معينة.

1- Class A amplifier:

The simple fixed-bias circuit can be used to discuss the main features of a class A. series fed amplifier.

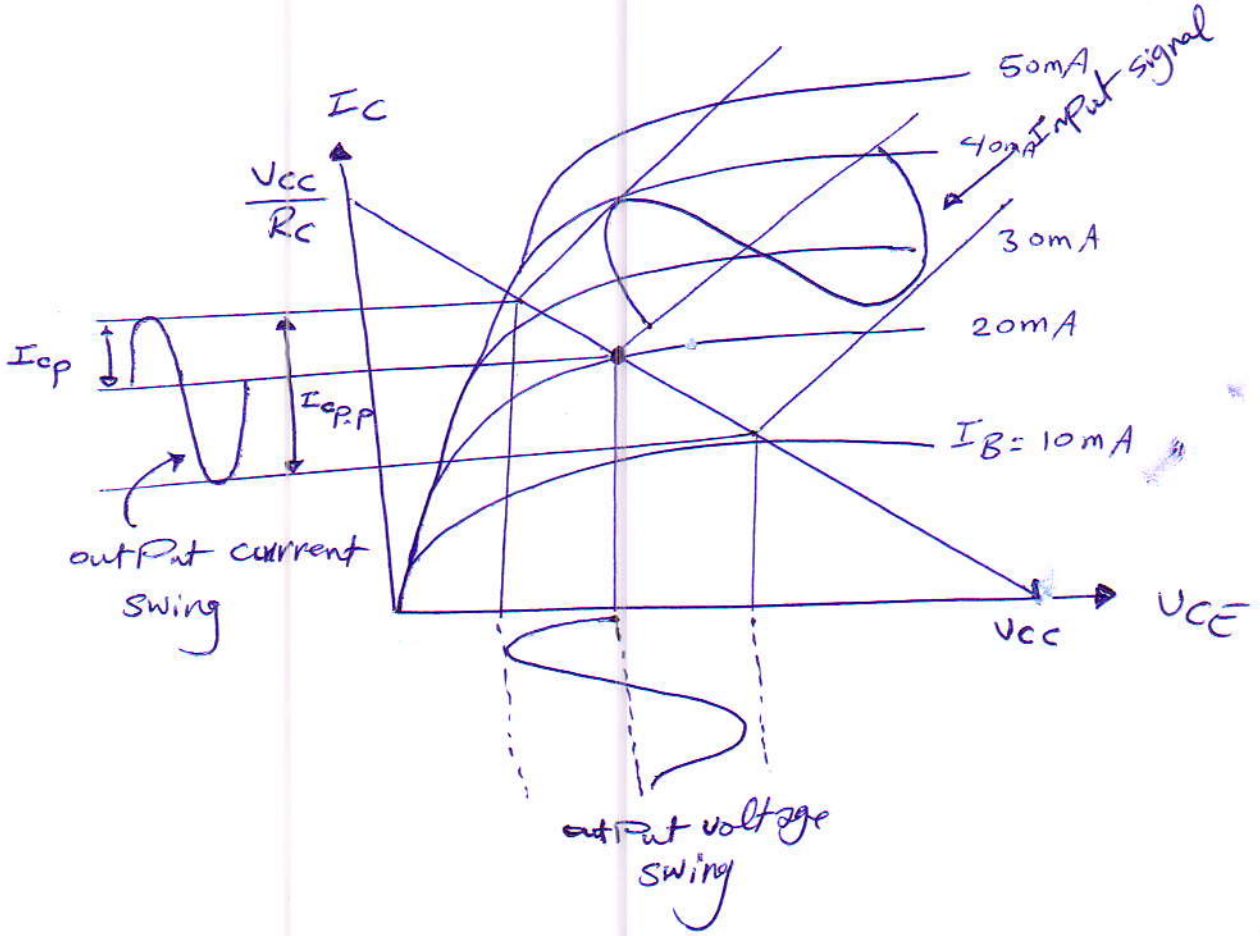


*class A power amplifier.

$$I_B = \frac{V_{cc} - V_{BE}}{R_B} \; ; \; I_c = \beta I_B$$

$$V_{CE} = V_{cc} - I_C R_C$$

يتبع



* بالامكان الملاحظة من رسم خط الحمل بان اعلى تيار ممكن ان يكون في الاخراج لايتجاوز قيمة $\frac{V_{cc}}{R_c}$ وفي نفس طور الاشارة الداخلة كذلك اعلى فولتية في الاخراج لايمكن ان تتجاوز قيمة الـ Vcc وبفرق طور 180° عن اشارة الادخال.

* القدرة الداخلة تمثل مصدر الفولتية المستمرة (biasing).

$$P_i(dc) = V_{cc} I_{cq}$$

$$P_o(ac) = V_{CE}(r.m.s)\, I_C(r.m.s)$$

or

$$P_o(ac) = I_C^2(r.m.s) * R_C$$

$$\eta\,\% = \frac{P_o(ac)}{P_i(dc)} * 100\%$$

لتصبح

* يطلق احياناً على الكفاءه بـ (conversion efficiency) كفاءة التحويل وهي قابلية المكبر لتحويل القدرة الـ d.c الى قدرة تكبير لغرض تكبير اشارة الاخراج

* Maximum efficiency:

* لغرض احتسابا اعلى كفاءه لـ classA من هذا النوع (fixed bias) نأخذ بالحسبان افضل الخيارات لغرض ايجاد اعلى كفاءه ممكن الحصول عليها

* AC Power:

$V_{CE}(P.P)_{max} = V_{cc}$

$I_{c}(pp)_{max} = \frac{V_{cc}}{R_c}$

$$P_o(a.c) = V_{CE}(r.m.s) \cdot I_c(r.m.s) = \frac{V_{cc}}{2\sqrt{2}} * \frac{V_{cc}}{2\sqrt{2}R_c} = \boxed{\frac{V_{cc}^2}{8R_c}}$$

* DC power:

$$I_{C(d.c)\,max} = \frac{V_{cc}/R_c}{2} = I_{C_Q}$$

$$P_i(dc) = V_{cc} I_{C_Q} = V_{cc} \cdot \frac{V_{cc}/R_c}{2} = \boxed{\frac{V_{cc}^2}{2R_c}}$$

$$\therefore \text{maximum } \eta\% = \frac{\max P_o(ac)}{\max P_i(ac)} * 100\%$$

$$= \frac{V_{cc}^2/8R_c}{V_{cc}^2/2R_c} * 100\% = \boxed{25\%}$$

$$\boxed{P_D = P_i(dc) - P_o(ac)}$$ power dissipation

*وهي قيمة القدرة المستهلكة في الترانستور وهي التي تؤدي الى رفع درجة حرارة الترانستور ؛ وبالتالي كلما قلت قيمة القدرة المستهلكة كان افضل وخصوصاً في صناعة الـ IC وذلك لامكانية تصنيع عدة ترانزستورات في IC واحد من غير ارتفاع درجة الحرارة .

Ex: Class A power amplifier has the following parameter ($\beta = 25$, $R_B = 1K\Omega$, $RC = 20\Omega$, $Vcc = 20$) and a base current 10mA peak; find input power, output power, efficiency and the power dissipation of the transistor?

Solution:

$$I_B = \frac{20 - 0.7}{1K} \left(\frac{Vcc - V_{BE}}{R_B} \right) = \boxed{19.3\,mA} \text{ d.c current}$$

$$I_C = \beta I_\beta = 25(19.3\,m) = \boxed{482.5\,mA} \text{ d.c current}$$

$$I_{c(p)} = \beta\, I_{b(p)} = (25)(10mA) = \boxed{250\,mA} \text{ a.c current}$$

$$P_{i(dc)} = Vcc * I_{CQ} = (20)(482.5\,mA) = \boxed{9.65\,W}$$

$$P_o = I^2_{c(r.m.s)} * RC = \left(\frac{I_{c(p)}}{\sqrt{2}} \right)^2 RC = \left(\frac{250mA}{\sqrt{2}} \right)^2 * 20$$

$$= \boxed{0.625\,W}$$

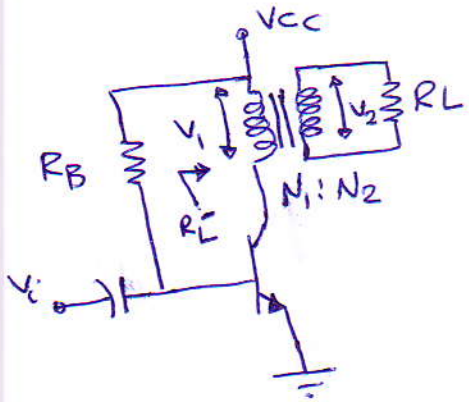
$$P_D = P_{i(dc)} - P_{o(ac)} = 9.65 - 0.625 = \boxed{9.025\,W}$$

$$\eta\,\% = \frac{P_{o(ac)}}{P_{i(d.c)}} * 100\% = \frac{0.625}{9.65} * 100\% \simeq \boxed{6.5\%}$$

Transformer- coupled class A amplifier:

* لغرض زيادة كفاءة مكبر القدرة (ClassA) يتم ربط الاخراج عن طريق محولة حيث تصل الكفاءة في هذه الحالة الى 50%

$$\frac{V_1}{V_2} = \frac{N_1}{N_2} = \frac{I_2}{I_1} = a$$



a : transformation ratio
(نسبة التحويل)

$$\frac{\bar{R_L}}{R_L} = \left(\frac{N_1}{N_2}\right)^2 = a^2$$

or

$$\bar{R_L} = a^2 R_L$$

$\bar{R_L}$: تسمى المقاومة التأثيرية المنظورة عبر الملف الابتدائي لان قيمتها تتأثر بمربع نسبة التحويل وحسب القانون اعلاه . (effective resistance looking into the Primary)

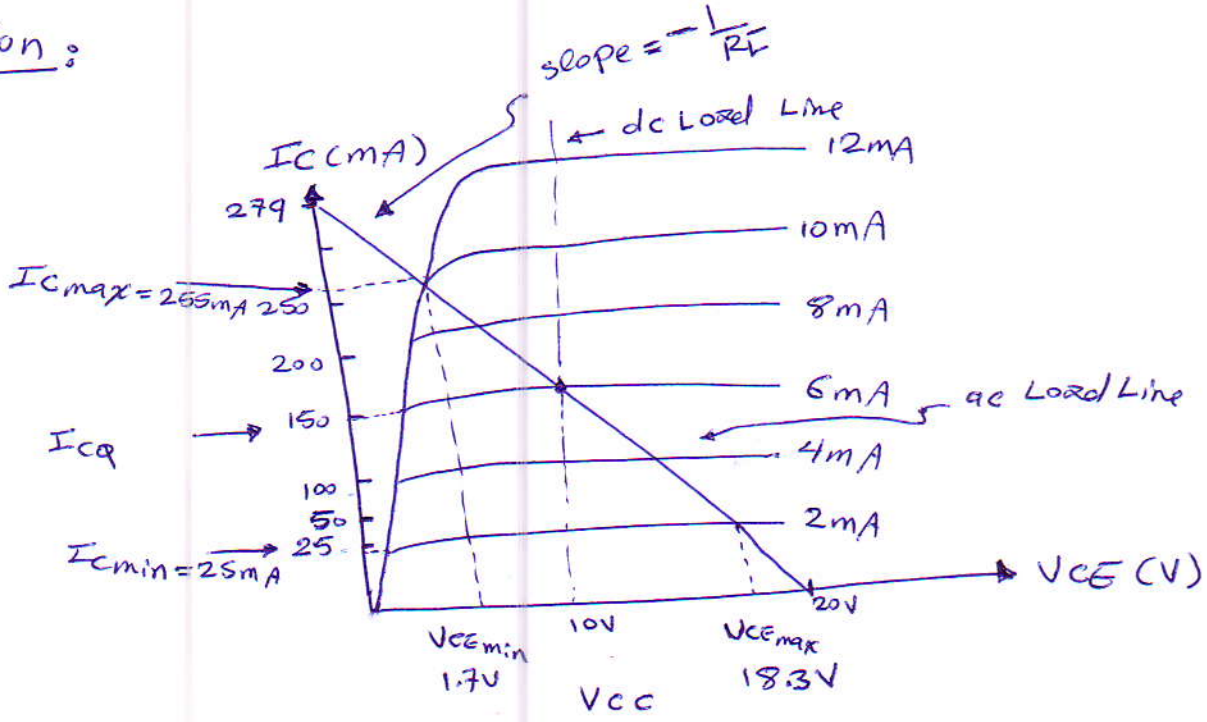
Ex: Calculate the effective resistance seen looking into the primary of a 15:1 transformer connected to an 8Ω load?

Solution:

$$\bar{R_L} = a^2 R_L = (15)^2 * 8 = \boxed{1.8\ k\Omega}$$

Ex: Calculate the ac Power delivered to the 8 Ω speaker for the circuit below; $I_B = 6mA$ and the input signal results in a peak base current swing of 4mA.

$a = 3:1$ $\qquad V_{CC} = 10V$; $\eta = ?$ and $P_D = ?$



Solution:

$R_L' = a^2 R_L$

$= (3)^2 (8) = \boxed{72}\ \Omega$

$\text{slope} = -\frac{1}{R_L'} = -\frac{1}{72}$

$V_{CEQ} = \boxed{10V} \Rightarrow I_{CQ} = \boxed{140mA}$

$I_C = \frac{V_{CC}}{R_L'} = \frac{V_{CQ}}{R_L'} = \frac{10}{72} = \boxed{139mA}$

$I_{CQ} + I_C = 140 + 139 = \boxed{279mA}$

* يجب الانتباه الى ان (dc Load Line) يكون عمودي
لان الاخراج مأخوذ عن طريق محولة والمحولة
تكون مقاومتها للتيار الـ d.c صفر لان تيار
الـ d.c غير متغير وبالتالي لا يوجد حث
وبالتالي $X_L = 2\pi f L$ (f=0) ⇐ $X_L=0$
لذلك يكون الخط d.c Load Line عمودي ويتقاطع مع
(V_{CEQ}).

يتبع →

* بعد الحصول على قيمة تقاطع التيار I_C مع محور الـ x ولدينا نقطة ثانية وهي تقاطع الـ (dc Load Line) مع تيار I_B عند (6mA) اذن نستطيع رسم الـ ac Load Line ومن خلال تقاطع الـ (ac Load Line) مع تأرجح قيمة تيار I_C المتناوب لـ (4mA) اعلى واسفل تيار I_B (6mA) معناه نأخذ قيم التقاطع عند الـ 2mA و 10mA للحصول على I_{Cmax} و I_{Cmin} وكما موضح في الشكل .

$\Rightarrow V_{CEmin} = 1.7V$ and $I_{Cmin} = 25mA$

and $V_{CEmax} = 18.3V$ and $I_{Cmax} = 255mA$

$$\Rightarrow \boxed{P_{o(ac)} = \frac{(V_{CEmax} - V_{CEmin})(I_{Cmax} - I_{Cmin})}{8}}$$

Transformer-coupled classA amplifier

$$\therefore P_{o(ac)} = \frac{(18.3 - 1.7)(255 - 25)}{8} = \boxed{0.477W}$$

$$P_{i(dc)} = V_{CC} I_{CQ} = (10)(140mA) = \boxed{1.4W}$$

$$\eta\% = \frac{P_{o(ac)}}{P_{i(d.c)}} * 100\% = \frac{0.477}{1.4} * 100\% = \boxed{34\%}$$

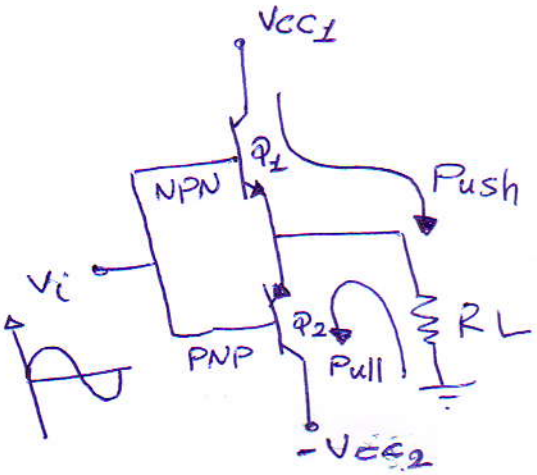
$$P_D = P_{i(d.c)} - P_{o(ac)} = 1.4 - 0.477 = \boxed{0.923W}$$

or

$$\boxed{\eta\% = 50\left(\frac{V_{CEmax} - V_{CEmin}}{V_{CEmax} + V_{CEmin}}\right)^2 \%}$$

2- Class B Amplifier:

During the +ve half cycle on NPN transistor is "ON" and PNP is "OFF" and vise versa.



* Class B Power amplifier (Push-Pull circuit)

* خلال الجزء الموجب من الموجة فان Q(NPN) تعمل بينما Q(PNP) يكون في حالة (OFF) وبالتالي فان التيار حين عبر Q_1 الى RL كأنه دفع (Push) ، بينما خلال الجزء السالب من الموجة فان Q(PNP) تعمل و Q(NPN) في حالة (OFF) والتيار عبر من الأرضي الى RL ومن ثم الى Q(PNP) وكأنه سحب للتيار (Pull) لذلك تسمى مثل هذه الدوائر بـ (Push-Pull circuit).

$$P_i(dc) = V_{cc}\, I_{d.c}$$

$$I_{d.c} = \frac{2}{\pi} I_c(p) \Rightarrow P_i(dc) = V_{cc}\left(\frac{2}{\pi} I_c(p)\right)$$

* تيار (I_{dc}) لا يمر في اي من Q_1 او Q_2 حتى يكون هناك ادخال معين لذلك يساوي معدل (full wave rectifier) SineWave

$$P_o(ac) = \frac{V_L^2(r.ms)}{R_L} \quad \text{or} \quad P_o(ac) = \frac{V_L^2(p)}{2 R_L}$$

* Maximum efficiency :

$$\eta\% = \frac{P_{o(ac)}}{P_{i(d.c)}} * 100\% = \frac{V_{L(P)}^2 / 2R_L}{V_{cc}\left(\frac{2}{\pi} I_{c(P)}\right)} * 100\%$$

$$\Rightarrow \eta\% = \frac{V_{L(P)}^2 / 2R_L}{V_{cc}\left(\frac{2}{\pi} \frac{V_{L(P)}}{R_L}\right)} * 100\% = \frac{V_{L(P)}}{V_{cc}} * \frac{\pi}{4} * 100\%$$

The maximum effeciency is obtained when $V_{L(P)}$ has max value, that is $V_{L(P)max} = V_{cc}$

$$\therefore \eta\% = \frac{\pi}{4} * 100\% = \boxed{78.5\%}$$

$$P_D = P_{2Q} = P_{i(d.c)} - P_{o(ac)}$$
(Two tran.)

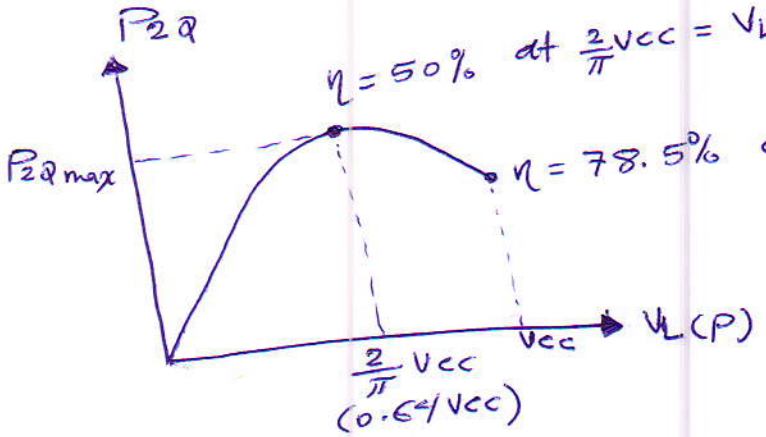
$$\Rightarrow P_{2Q} = \frac{2V_{L(P)} V_{cc}}{\pi R_L} - \frac{V_{L(P)}^2}{2R_L}$$

$$\frac{dP_{2Q}}{dV_{L(P)}} = 0$$ (لغرض ايجاد اعلى قيمة للقدرة المستهلكة بالنسبة لتغير $V_{L(P)}$)

$$\Rightarrow \frac{dP_{2Q}}{dV_{L(P)}} = \frac{2V_{cc}}{\pi R_L} - \frac{2V_{L(P)}}{2R_L} = 0$$

$$\therefore |V_{L(P)}|_{max} = \frac{2}{\pi} V_{cc} \simeq \boxed{0.64 V_{cc}}$$

يتبع



$$P_{2Q\,max} = \frac{2V_{CC}^2}{\pi^2 R_L}$$

* يمكن ان يلاحظ من خلال الشكل اعلاه بان اعلى كفاءه يمكن ان نحصل عليها من خلال زيادة فولتية الحمل ($V_{L(P)}$) وذلك بجعلها تساوي Vcc ؛ وكذلك عند اعلى كفاءه 78.5% تكون اقل قدرة مستهلكة في الترانزستورين .

Ex: For class B Power amplifier ; $V_{CC_1} = 15\,V$ and $V_{CC_2} = -15\,V$; and the load resistance is $8\,\Omega$; determine the Power drawn from the supply, the Power in the load, the Power dissipated in the transistors and the conversion efficiency for a peak output of 10 V?

Solution:

$$P_{o(ac)} = \frac{V_{L(P)}^2}{2R_L} = \frac{(10)^2}{2(8)} = \boxed{6.25\,W}$$

$$P_{i(d.c)} = \frac{2}{\pi}\frac{V_{L(P)}}{R_L}V_{CC} = \frac{2}{\pi}\frac{10}{8}(15) = \boxed{11.94\,W}$$

$$P_{2Q} = P_{i(d.c)} - P_{o(ac)} = 11.94 - 6.25 \cong \boxed{5.7\,W}$$

$$P_D \text{ for each transistor} = \frac{5.7}{2} = \boxed{2.85\,W}$$

$$\eta\% = \frac{P_{o(a.c)}}{P_{i(d.c)}} * 100\% = \frac{6.25}{11.94} * 100\% = \boxed{52\%}$$

Ex: For a class B amplifier using a supply of $V_{CC} = 30V$ and driving a load of 16Ω; determine the maximum input Power, output Power and transistor dissipation.

Solution:

* عندما يذكر في السؤال اعظم قدرة نعتبر حسابها عام $V_{L(p)} = V_{CC}$

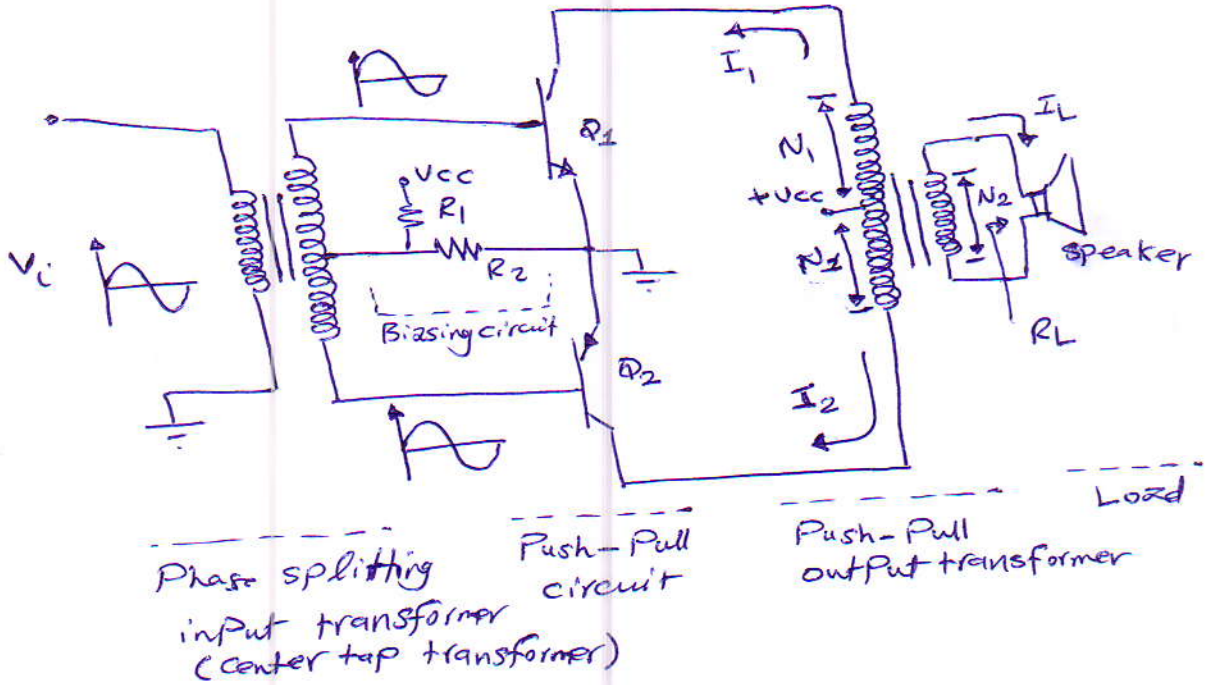
$$\therefore \text{maximum } P_{o(ac)} = \frac{V_{CC}^2}{2R_L} = \frac{(30)^2}{2(16)} = \boxed{28.125W}$$

$$\text{and maximum } P_{i(dc)} = \frac{2V_{CC}^2}{\pi R_L} = \frac{2(30)^2}{\pi(16)} = \boxed{35.82W}$$

$$P_{2Q\,max} = \frac{2V_{CC}^2}{\pi^2 R_L} = \frac{2(30)^2}{\pi^2(16)} = \boxed{11.41W}$$

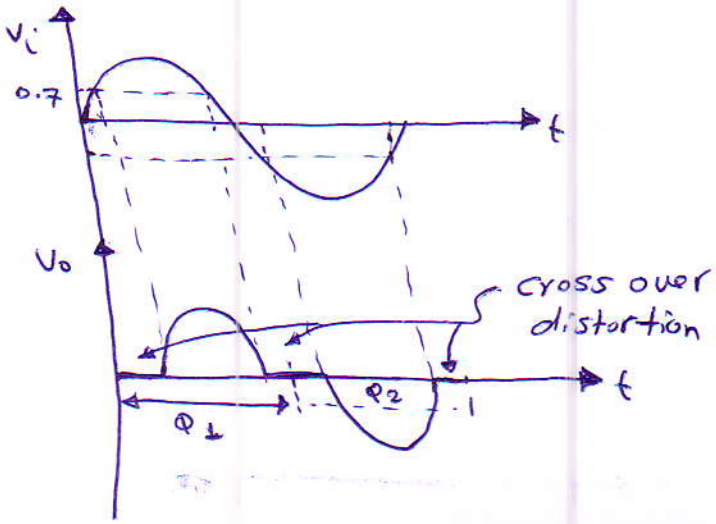
$$\Rightarrow P_D \text{ for each transistor} = \frac{11.41}{2} = \boxed{5.7W}$$

* Transformer coupled Push-Pull circuit:



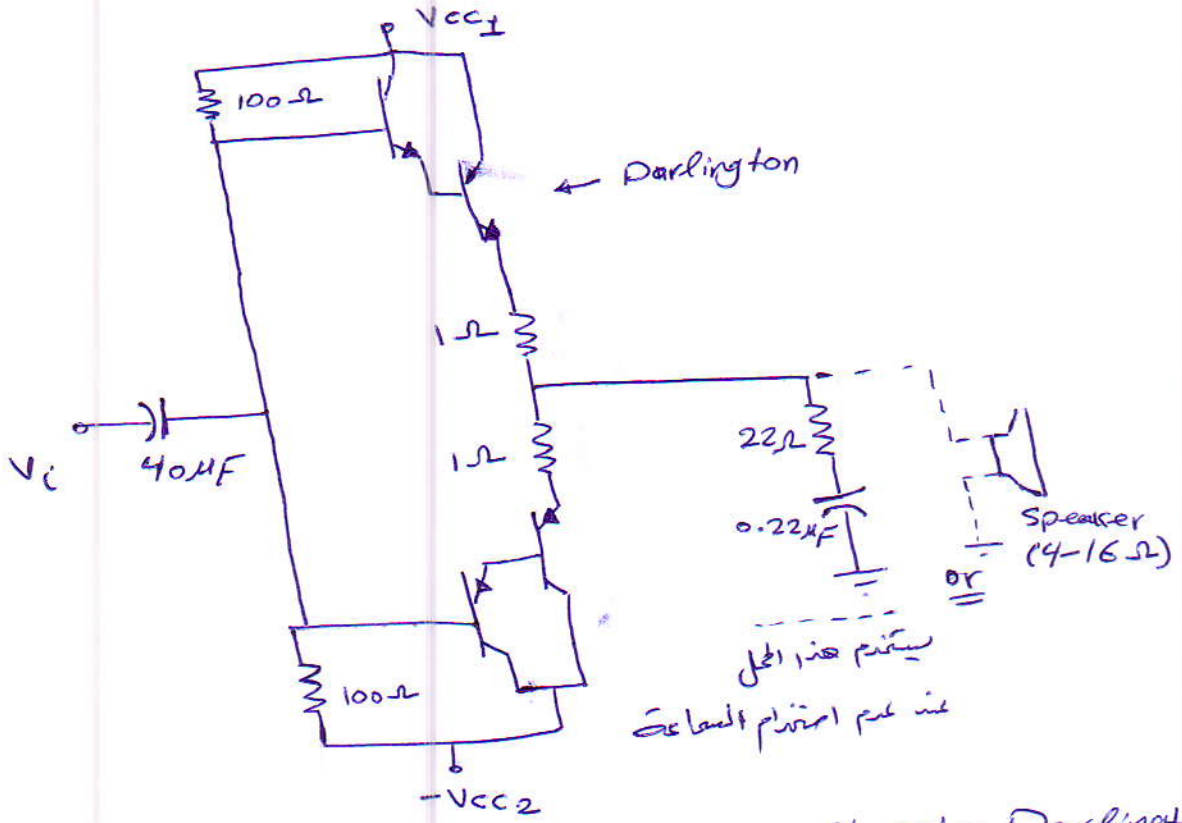
* تستخدم المحولة في class B لغرض جعل الـ Q_1 and Q_2 يعملان عندما يكون الإدخال اقل من 0.7V حيث تعطي المحولة عند الإدخال نفس قيمة الفولتية بالضبط لكل ترانزستور وكذلك بنفس الطور، حيث من الملاحظ في الدائرة اعلاه بان الترانزستورين مربوط لهما دائرة تحييز (Biasing circuit) لغرض جعل الترانزستورين يعملان عند بداية الإدخال حيث خلال الجزء الموجب من الموجة يعمل Q_1 (ON) و Q_2 في حالة (Off) . والعكس صحيح .

* Cross-over Distortion:



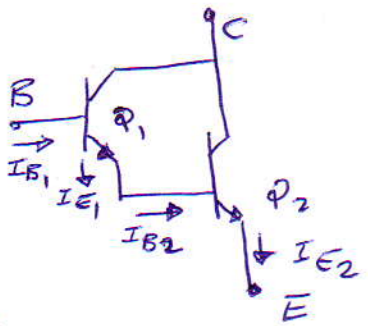
* علىه الملاحظة من الشكل بانه تشوية نقطة التقاطع عند الفولتية اقل او يساوي ∓0.7 تسمى بـ (cross over distor) وذلك نتيجة ان الترانزستورين في دائرة الـ class B لايوجد تحيز عند الـ base لذلك يقطع الترانزستور بانه يقطع جزء من فولتية الادخال لغرض التحيز

* Darlington Class B Amplifier:



* Complementary - Symmetry Push - Pull circuit using Darlington transistors

* لغرض سوق تيار عالي الى الحمل يتم استخدام طريقة Darlington والتي يكون لها كسب تيار عالي (β^2) بمعنى ($\beta_1 \beta_2$) ؛ حيث يتم اختيار قيم مقاومات التحيز والمشع (R_E) لغرض زيادة كسب التيار أكثر.



$$I_{E_1} = (1+\beta_1) I_{B_1} \simeq \boxed{\beta_1 I_{B_1}}$$

$$I_{E_1} = I_{B_2}$$

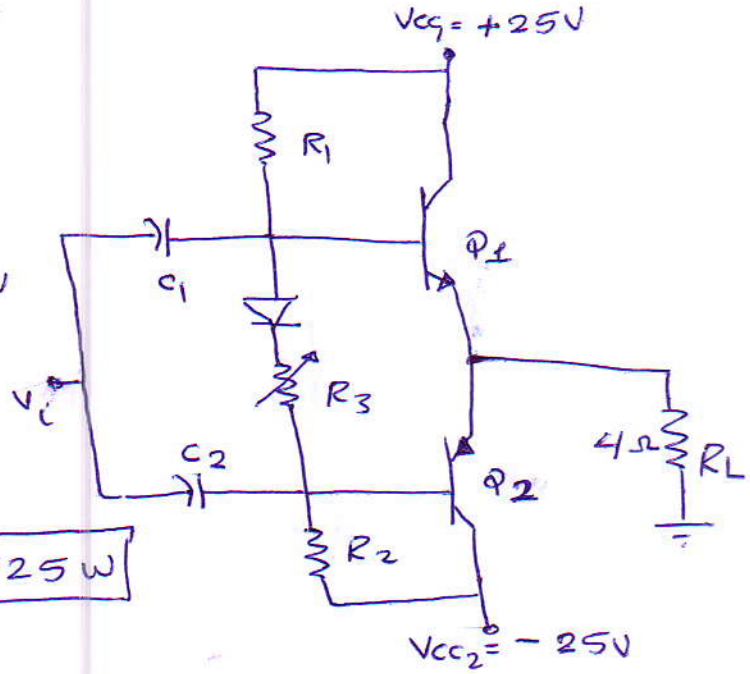
$$I_{E_2} \simeq \boxed{\beta_2 I_{B_2}}$$

$$I_{B_2} = \beta_1 I_{B_1} \Rightarrow I_{E_2} = \beta_1 \beta_2 I_{B_1}$$

$$\therefore \frac{I_{E_2}}{I_{B_1}} = \boxed{\beta_1 \beta_2} \text{ or } \boxed{\beta^2}$$

Ex: For the circuit shown below; Calculate the input power, output Power and power handled by each output transistor; after that determine the circuit efficiency for an input of (12 V rms) and the max. Power dissipation?

Solution:



$V_i(P) = \sqrt{2}\, V_i(rms)$

$= \sqrt{2}\,(12) = 16.97V$

$\simeq \boxed{17V}$

$P_o(ac) = \dfrac{V_L^2(P)}{2R_L}$

$= \dfrac{(17)^2}{2(4)} = \boxed{36.125W}$

$P_i(dc) = V_{cc}\, I_{d.c}$

$= (25)\,\dfrac{2}{\pi}\, I_L(P)$

$= (25)\left(\dfrac{2}{\pi}\right)\left(\dfrac{V_L(P)}{R_L}\right)$

$\therefore P_i(d.c) = (25)\left(\dfrac{2}{\pi}\right)\left(\dfrac{17}{4}\right)$

$\simeq \boxed{67.75W}$

* الكسب (AV) لهذه الدائرة يكون عادة واحد لأن هذه الدائرة (class B) تعتبر دائرة Emitter follower ويكون كسب الفولتية لها واحد

$\therefore V_L(P) = V_i(P) = \boxed{17V}$

$\boxed{A_V = 1}$

$P_{2Q} = P_i(d.c) - P_o(ac) = 67.75 - 36.125 = \boxed{31.625W}$

$P_D = P_Q = \dfrac{31.625}{2} = \boxed{15.8W}$

for each transistor

يتبع

$$\eta\% = \frac{36.125}{67.75} * 100\% = \boxed{53.3\%}$$

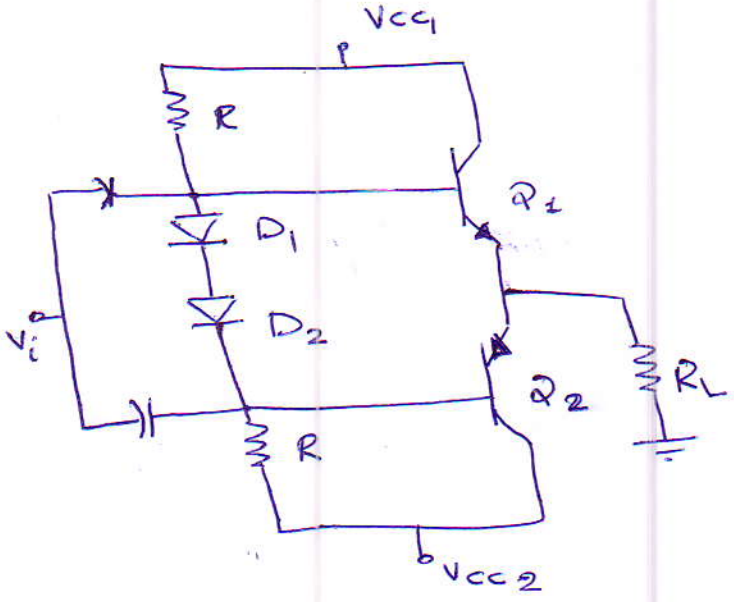
$$P_{2Q\,max} = \frac{2V_{cc}^2}{\pi^2 R_L} = \frac{2(25)^2}{\pi^2(4)} = \boxed{31.69\,W}$$

This maximum dissipation occurs at $V_L = 0.64\,V_{cc}$

$$\Rightarrow V_L = 0.64(25) \simeq \boxed{16\,V}$$

* يمكن الملاحظة بان الدائرة تكون لها اكبر قدرة مستهلكة عند الـ $0.64\,V_{cc}$ بينما تكون اقل قدرة مستهلكة عندما $V_{L(p)} = V_{cc}$ والتي تكون حوالي $\boxed{21.3\,W}$

3- Class AB Amplifier:

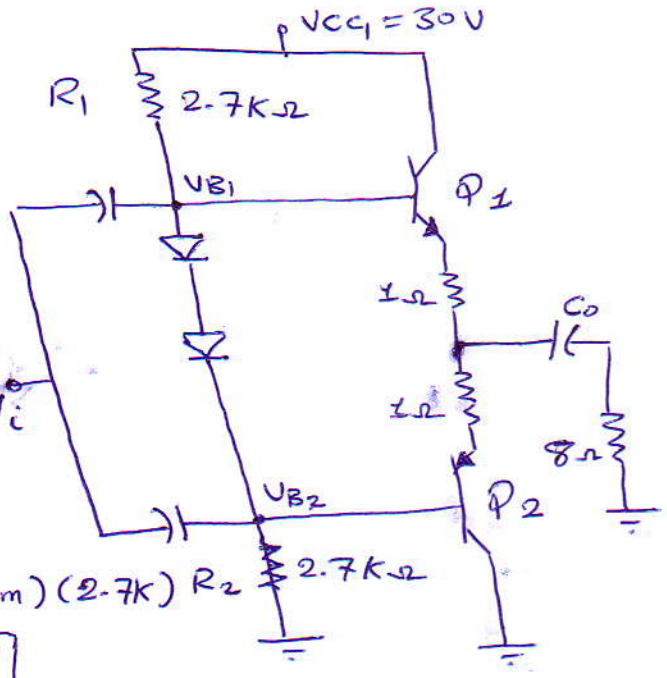


* class AB amplifier

* class AB: يمكن الملاحظة من الشكل انه تم اضافة دايودين وذلك لغرض التخلص من الـ cross over distortion؛ حيث ان دائرة التحيز عبارة عن دائرة تقسيم فولتية متكونة من مقاومتين (R) ودايودين حيث يتم اختيار قيم المقاومات بعناية لغرض جعل الدايودين (D_1 و D_2) يعملان.

Ex: Determine the current through the diodes and the voltage at the bases and emitters of the transistors for the circuit in figure below? Assume $V_{BE} = 0.7V$

Solution:



$$I_{Bias} = \frac{V_{CC} - V_{D1} - V_{D2}}{R_1 + R_2}$$

$$= \frac{30 - 0.7 - 0.7}{2.7K + 2.7K}$$

$$\Rightarrow I_{Bias} = \boxed{5.3mA}$$

$$V_{B1} = V_{CC} - I_{Bias}R_1 = 30 - (5.3m)(2.7K) = \boxed{15.7V}$$

$$V_{B2} = I_{Bias} R_2 = (5.3m)(2.7K) = \boxed{14.3V}$$

$$V_{E2} = V_{BE2} + V_{B2} = 0.7 + 14.3 = \boxed{15V}$$

$$V_{E1} = V_{B2} - V_{BE1} = 15.7 - 0.7 = \boxed{15V}$$

$$V_{CE1} = V_{CE2} = \boxed{\frac{V_{CC}}{2}}$$

If $R_E \neq 0$ →

$$P_{o(ac)} = \frac{V_{L(P)}^2 R_L}{2(R_L + R_E)^2}$$

$$I_{L(P)} = \frac{V_{L(P)}}{(R_L + R_E)}$$

$$P_{i(dc)} = \frac{1}{\pi} \frac{V_{L(P)}}{(R_L + R_E)} * V_{CC}$$

* عليه الملاحظة بأن مقاومة ال R_E تقلل من تأثير التحيز نتيجة تغير درجة الحرارة والتي بدورها تؤثر على V_{BE} للدايود D_1 و D_2 ومن ثم على دائرة التحيز وبالتالي تأثر بشكل الموجة الخارجة، ولكن على حساب الكفاءة التي تقل وحسب القوانين ← لذلك تعتبر هذه الدائرة أكثر استقرارية لأن مقاومة ال R_E تعتبر مقاومة Feedback

Ex: Design a class AB amplifier to provide 16W into 8Ω load from ∓24 supplies. Assume that $\beta = 50$ and $V_{BE} = 0.8\,V$.

Solution:

$$P_{o(ac)} = \frac{V_{L(p)}^2}{2R_L} \Rightarrow V_{L(p)} = \sqrt{2R_L P_{o(ac)}} = \sqrt{2(8)(16)}$$

$$= \boxed{16V}$$

$$I_{L(p)} = \frac{V_{L(p)}}{R_L} = \frac{16}{8} = \boxed{2A}$$

The Peak base voltage for Q_1 = $V_{L(p)} + V_{BE_1}$

$$= 16 + 0.8 = \boxed{16.8V}$$

and the peak base current = $\frac{I_{L(p)}}{\beta} = \frac{2}{50} = \boxed{40mA}$

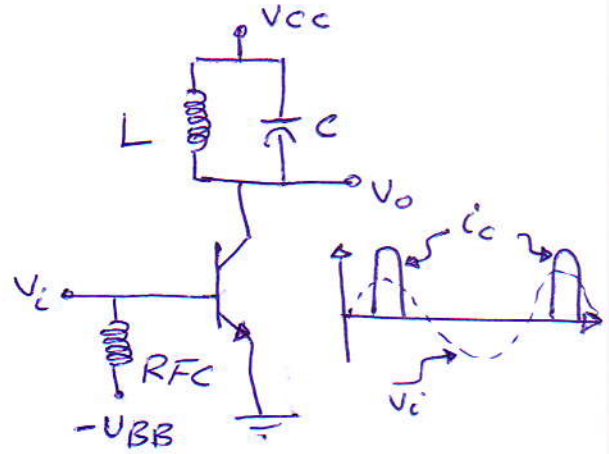
$$\Rightarrow R = \frac{V_{CC_1} - V_{BE_1} - V_{L(p)}}{I_{base}} = \frac{24 - 0.8 - 16}{40mA} = \boxed{180\Omega}$$

$$I_{D_1, D_2} = \frac{V_{CC_1} - V_{D_1} - V_{D_2} - V_{CC_2}}{R + R} = \frac{24 - 1.6 + 24}{180 + 180}$$

$$= \boxed{180mA}$$

4- Class C Amplifier:

In class C power amplifier the load current flows for less than half cycle



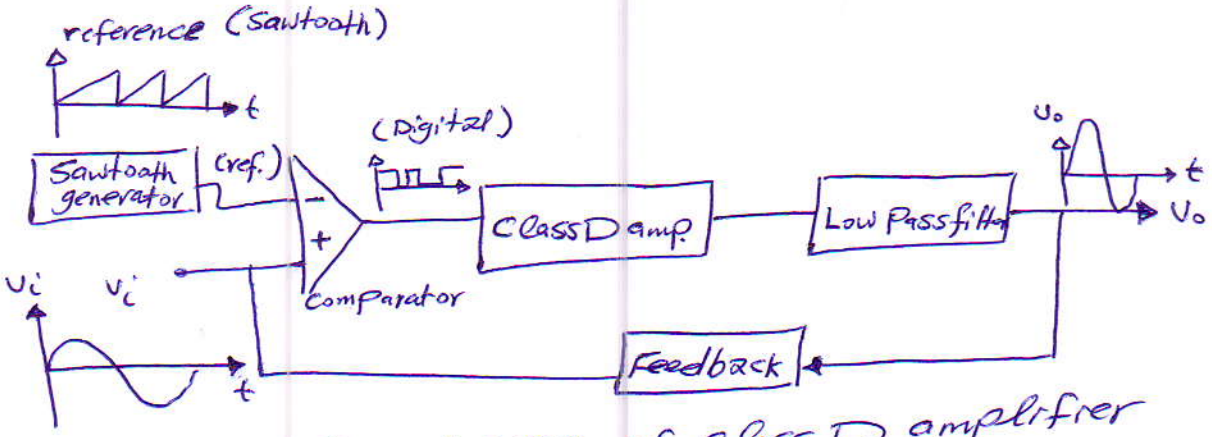
* class C Power Amplifier

* يستخدم الـ class C في دوائر الإتصالات حيث يقوم بتكبير تردد الإشارة التي تتوافق مع التردد الطبيعي (natural frequency) لدائرة الرنين (L و C) والتي تسمى (Tank circuit)؛ حيث يعمل هذا النوع فقط في الجزء الموجب من موجة الإدخال وبسبب ان جزء من الموجة يستقطع كتكبير للدائرة فانه operating cycle له يكون أقل من 180°؛ يستخدم الـ class C للقدرة العالية والتردد العالي لذلك يستخدم في المرسلات الراديوية.

5- Class D Amplifier:

A class D amplifier is designed to operate with digital or Pulse type signals. An efficiency of over 90% is achieved using this type of circuit, making it quite desirable in Power amplifiers.

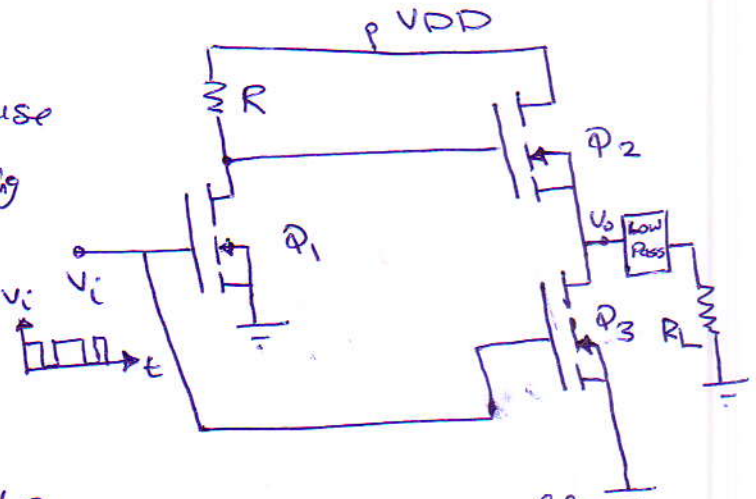
يتبع



* Block diagram of class D amplifier

* المخطط اعلاه يمثل الدائرة التي تعمل ضمنها الـ classD ؛ في البداية يتم مقارنة الموجة الداخلة (V_i) مع موجة ref. هي sawtooth لذلك يكون شكل الإخراج عبارة عن موجة رقمية (Digital) نقوم بتكبيرها باستخدام الـ classD حيث يتم ادخال الموجة المكبرة الى مرشح إمرار واطئ لغرض إمرار تردد واحد من مجموع الترددات التي تحتوي عليها الموجة الـ Digital لان الموجة الـ Digital كما معلوم تحتوي على العديد من الترددات لذلك يتم اختيار احداها باستخدام الـ Low Pass

* MOSFET is used because it is suited for switching



* when input is high Q_1 and Q_3 turned on, while Q_2 is "OFF" ⇒ $V_o = 0$

* when input is low Q_1 and Q_3 turned off, while Q_2 is "ON"

⇒ $V_o \simeq V_{DD}$

* Class D amplifier

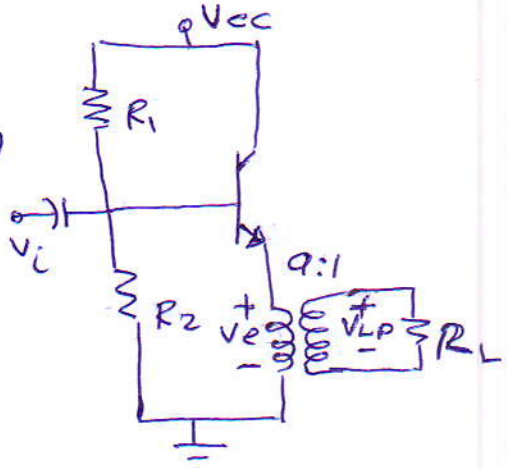
H.W ①: For the fixed bias BJT circuit $P_D = V_{CE} I_C$, $R_L = 8\Omega$ and $V_{CC} = 24\,V$; determine the maximum Power dissipation in the transistor. Ans: $P_{D\max} = \boxed{18\,W}$

H.W ②: Design an idealized class B output stage to deliver an average of 25w to an 8Ω speaker, the Peak output voltage must be no larger than 80 Percent of supply voltages V_{CC}. Determine ① V_{CC} ② the Peak current in each transistor ③ the average Power dissipation in each transistor ④ the Power conversion efficiency.

Ans: ① $V_{CC} = \boxed{25\,V}$ ② $I_{L(p)} = \boxed{2.5A}$ ③ $P_D = \boxed{7.4w}$

④ $\eta\% = \boxed{62.8\%}$

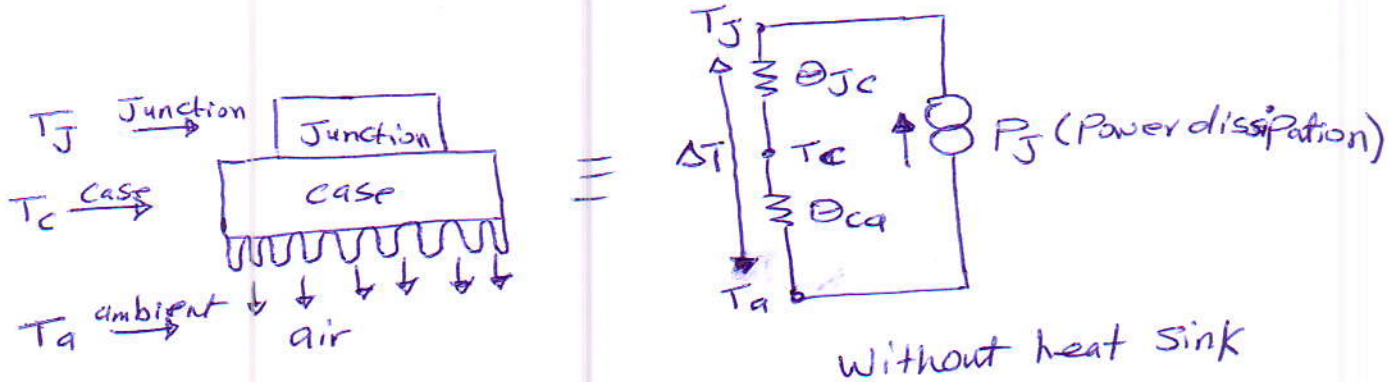
H.W ③: Design a transformer coupled emitter follower amplifier with $V_{CC} = 24V$ and $R_L = 8\Omega$. The average Power delivered to the load is to be 5W, the Peak amplitude of the signal emitter current is to be no more than $0.9 I_{CQ}$ and that of the signal emitter voltage is to be no more than $0.9 V_{CC}$, let $\beta = 100$



Ans: $a = \boxed{2.42}$; $I_{CQ} = \boxed{0.514A}$ $P_Q = \boxed{12.3W}$

$R_1 = \boxed{4.43K\Omega}$ $R_2 = \boxed{5.74K\Omega}$

* Power Transistor Heat Sinking :



Without heat sink

* القدرة المستهلكة في Transistor تكون خلال مرور التيار في collector-base Junction وبسبب المقاومة العالية نتيجة الانحياز العكسي لذلك ترتفع درجة حرارة المفرق وبالتالي تزداد القدرة المستهلكة نتيجة زيادة درجة الحرارة . لذلك يمكن التعويض عن ارتفاع المقاومة الحرارية بـ θ وهي المقاومة الحرارية (thermal resistance)

Typically, the maximum junction temperature of these types of Power transistors is as follow:

Silicon: 150 – 200°C

Germanium: 100 – 110°C

* Power transistor ترتفع درجة حرارته اعلى من مكبرات الاشارة الصغيرة لذلك نلجأ الى توصيل او ربط الغلاف الخارجي (case) ليصرف الحرارة يسمى heatsink وهو عادة يكون من غلاف معدني مصنوع من الالمنيوم .

$\Delta T = T_J - T_a$

$\Delta T = P_J\, \Theta$

$$T_J = T_a + (\Theta_{JC} + \Theta_{ca}) P_J$$

Θ_{JC} : thermal resistance between junction and case

Θ_{ca} : thermal resistance between case and air (ambient; surrounding air)

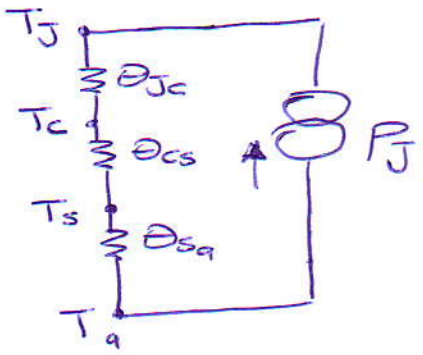
Θ_{sa} : (heat sink to ambient) heat sink thermal resistan

$$T_J = T_a + (\Theta_{JC} + \Theta_{cs} + \Theta_{sa}) P_J$$ with Heat Sink

Ex: A transistor has a Power rating of 2W. The thermal resistance from junction to case is 5 °C/W, for the case to heat sink is 2 °C/W and for the heat sink to ambient is 10 °C/W. Determine the Junction temperature, Case temperature and the temperature of the heat sink if the ambient temperature is 25 °C ?

يتبع

Solution:



① The junction temperature

$$T_J = T_A + (\Theta_{JC} + \Theta_{CS} + \Theta_{SA}) P_J$$

$$= 25 + (10 + 5 + 2)2 = \boxed{59^\circ C}$$

② The case temperature

$$T_C = T_A + (\Theta_{CS} + \Theta_{SA}) P_J = 25 + (10+2) * 2 = \boxed{49^\circ C}$$

③ The heat sink temperature

$$T_S = T_A + \Theta_{SA} P_J = 25 + (10) * 2 = \boxed{45^\circ C}$$

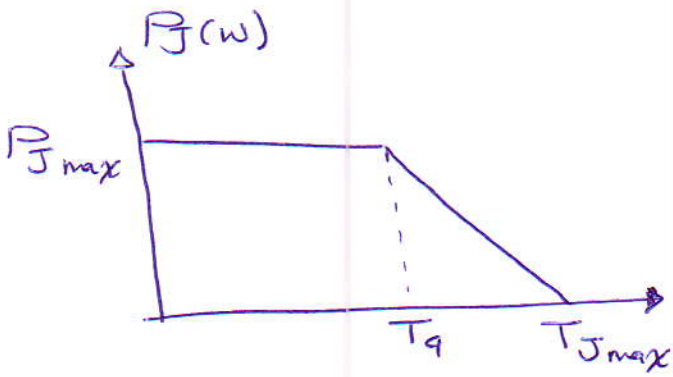
Ex: A silicon power transistor is operated with $\Theta_{SA} = 1.5^\circ C/W$, $\Theta_{JC} = 0.5^\circ C/W$ and $\Theta_{CS} = 0.6^\circ C/W$. What maximum power can be dissipated if the ambient temperature is $40^\circ C$ and $T_{J\,max} = 200^\circ C$?

Solution:

$$P_D = \frac{T_J - T_A}{\Theta_{JC} + \Theta_{CS} + \Theta_{SA}} = \frac{200^\circ C - 40^\circ C}{0.5 + 0.6 + 1.5}$$

$$= \boxed{61.5\,W}$$

* Derating Curve:



(Derating curve for silicon transistor)

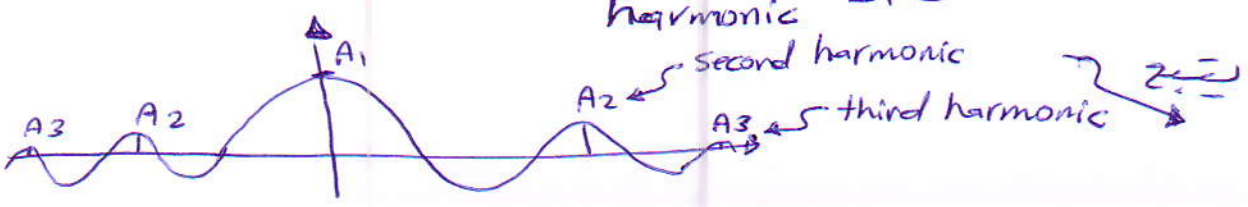
* وهو عبارة عن منحنى يتم رسمه من قبل الشركة الصنعة للترانزستور ليوضح فيه القدرة مستهلكة يستطيع الترانزستور تحملها عند درجة حرارة معينة للجو المحيط بالترانزستور. وكذلك درجة حرارة الحقن

* لكي يستطيع الترانزستور تبديد الحرارة المتولدة نتيجة مرور التيار العالي يجب ان تكون درجة حرارة الجو اقل من درجة حرارة الحقن لكي تنتقل الحرارة من المنطقة ذات درجة الحرارة العالية الى المنطقة ذات درجة الحرارة المنخفضة. وعندما تتساوى درجة حرارة المحيط مع درجة حرارة الحقن فان الترانزستور لا يستطيع تبديد الحرارة لذلك ترتفع درجة حرارته حتى التلف، لذلك نلجأ الى مصرف للحرارة وهو Heat Sink

* Amplifier Distortion:

Distortion can occur because the device characteristic is not linear.

* نتيجة ارتفاع درجة حرارة الترانزستور او لاسباب اخرى يعمل الترانزستور بصورة غير خطية مما يؤدي الى وجود مركبات ترددية غير مرغوب فيها في الإخراج تسمى الـ harmonic



$$\% \text{ nth harmonic distortion} = \% D_n = \frac{|A_n|}{|A_1|} * 100\%$$

Total Harmonic Distortion :

$$\% THD = \left(\sqrt{D_2^2 + D_3^2 + D_4^2 + \dots}\right) * 100\%$$

* كلما قل الـ amplitude للتردد المركبة الثانية والثالثة و... فإن التشويه يصبح أقل لأنه يصبح ذو تأثير قليل على شكل الموجة الخارجة

EX: Calculate the harmonic distortion components for an o/p signal having fundamental amplitude of 2.5V, second harmonic amplitude of 0.25V, third of 0.1 and four of 0.05V. Then Calculate the total harmonic distortion?

Solution:

$$\% D_2 = \left|\frac{A_2}{A_1}\right| * 100\% = \left|\frac{0.25}{2.5}\right| * 100\% = \boxed{10\%}$$

$$\% D_3 = \left|\frac{A_3}{A_1}\right| * 100\% = \left|\frac{0.1}{2.5}\right| * 100\% = \boxed{4\%}$$

$$\% D_4 = \left|\frac{A_4}{A_1}\right| * 100\% = \left|\frac{0.05}{2.5}\right| * 100\% = \boxed{2\%}$$

$$\Rightarrow \% THD = \left(\sqrt{(0.1)^2 + (0.04)^2 + (0.02)^2}\right) * 100\%$$

$$= \boxed{10.95\%}$$

H.W①: A BJT is specified to have $T_{jmax} = 150^\circ C$ and to be capable of dissipating maximum power as follow:

40W at $T_C = 25^\circ C$

2W at $T_A = 25^\circ C$

Let $\theta_{JC} = 3.12^\circ C/W$ and $\theta_{JA} = 62.5^\circ C/W$, find the following:

① The max. power can be dissipated at $T_A = 50^\circ C$.

② The max. power can be dissipated at $T_A = 50^\circ C$ with a heat sink for which $\theta_{CS} = 0.5^\circ C/W$ and $\theta_{SA} = 4^\circ C/W$.

③ The max. power can be dissipated, if an infinite heat sink is used and $T_A = 50^\circ C$.

Ans: ① 1.6W ② 13.1W ③ 32W

H.W②: A power transistor for which $T_{Jmax} = 180^\circ C$ can dissipate 50W at a case temperature of $50^\circ C$. If it is connected to a heat sink using an insulating washer for which the thermal resistance is $0.6^\circ C/W$, what heat sink temp. necessary to ensure safe operation at 30W? For an ambient temp. at $39^\circ C$, what heat sink thermal resistance is required? If a praticular aluminum finned heat sink, thermal resistance in still air is $4.5^\circ C/W$ per centimeter of length, how long a heat sink is needed?

Ans: $T_S = 84^\circ C$, $\theta_{SA} = 1.5^\circ C/W$; heat sink length is 3 CM

Integrated Circuit Design:

* يتم عادة بناء الدوائر المتكاملة من عدة Transistor وقد يصل بعضها الى عدة ملايين حيث ان اغلب الدوائر المتكاملة هي عبارة عن Memory او دوائر منطقية اخرى يتم بناؤها بعدة طرق منها (CMOS, TTL, DTL, RTL, ECL) والتي سنتطرق لتغطيتها خلال هذا الفصل:

* The Integrated circuit technology can be classified into four types

1- SSI (Small scale Integrated) (100 - 1000) transistors

2- MSI (Medium Scale Integrated) (1000 - 10000) transistors

3- LSI (Large scale Integrated) (10000 - 100000) transistors

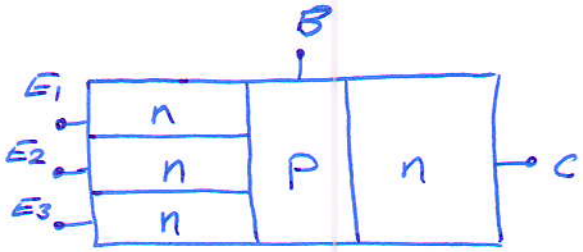
4- VLSI (Very Large Scale Integrated) (100000 - 1000000) tran.

* يتم تمثيل "1" (mark) و"0" (space) حسب الاسلوب الذي استخدم لبناء الدائرة المنطقية وكما موضح في الجدول ادناه:

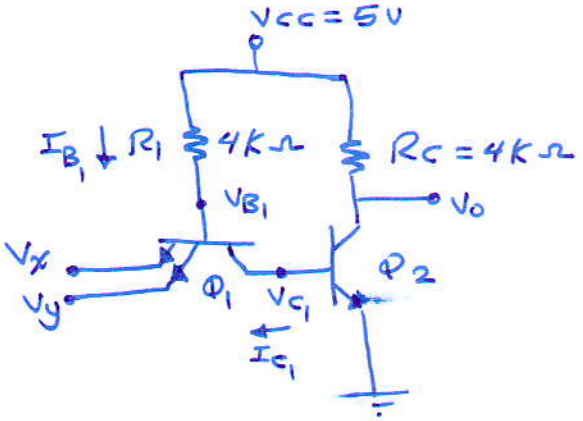
	RS-232	TTL	CMOS
Mark "1"	-12V	+ 5V	+ 3.3V
Space "0"	+12V	0 V	0V

* RS232 (serial Port) بالنسبة للحاسبة ومن ثم الان تم استبداله بـ USB وهو يمثل الان الـ Serial Port

1. Transistor Transistor Logic (TTL):



(a): TTL (npn transistor)



(b): TTL circuit

* يمثل الشكل (a): كيفية تصنيع الترانزستور TTL وهو عبارة عن عدة إدخالات ضمن emitter واحد لغرض تقليل عدد الترانزستورات في IC لتكوين دائرة منطقية معينة. حيث يتم إيجاد اختبار لكل الاحتمالات (logic) لمعرفة طبيعة عمل الدائرة ومن خلال جدول يتم إعطاءه من قبل الشركة المصنعة.

* Linear Parameter for a Pn Junction diode and npn BJT.

Parameter	V_{Diode}	$V_{BE(on)}$	$V_{BE(sat)}$	$V_{CE(sat)}$
Value	0.7V	0.7V	0.8V	0.1V

* If at least one input is low:

Q_1 is biased in saturation

$$\Rightarrow V_{B_1} = V_x + V_{BE(sat)}$$

$$I_{B_1} = \frac{V_{CC} - V_{B_1}}{R_1}$$

يتبع

* اذا كان Q_1 هو في حالة (sat) فان V_{CE} تمثل فولتية الـ sat وهي (V_{CEsat}) حيث ان الترانزستور في الحالة المثالية (V_{CEsat}) تساوي صفر على فرض المقاومة بين E و C هي صفر ولكن الواقع خلاف ذلك اذ ان هنالك مقاومة معينة ولكنها قليلة لذلك تتكون عليها فولتية قليلة وهي (V_{CEsat}) وفي حالة TTL فانها تساوي (0.1V) .

$\therefore V_{C_1} = V_X + V_{CE(sat)}$

If both V_X and $V_{CE(sat)}$ are approximately 0.1 V

$\Rightarrow V_{C_1} = 0.1 + 0.1 = \boxed{0.2\,V}$

$\therefore V_{C_1} = 0.2\,V$ (الفولتية على الـ Base للـ Q_2 والتي لاتكفي لكي يكون "ON" لذلك Q_2 يكون في حالة "OFF")

$\therefore Q_2$ is "OFF"

$\Rightarrow \boxed{V_o = V_{CC}} \rightarrow$ في حالة اي من V_X او V_Y هو "0" او كلاهما

* If all inputs are high, $V_X = V_Y = 5\,V$; then the base-emitter junctions of the input transistor are reverse biased

* بما ان B-E هو في حالة انحياز عكسي فان B-C في حالة انحياز امامي ومعلوم ان اي طرفا من الترانزستور يكون في حالة انحياز امامي فان الفولتية بين الطرفين تكون (0.7V) تساوي V_{BE} .

يتبع

* اذن تزداد فولتية V_{B_1} وعليه يكون Q_2 في حالة "ON" و Q_1 في حالة "OFF".

$$\therefore V_{B_1} = V_{BE(sat)}Q_2 + V_{BC(on)}Q_1$$

$$\boxed{V_{BC(on)} = V_{BE}}$$

* بما ان Q_1 (B−E) في حالة انحياز عكسي اذن هنالك تيار عكسي قيمته قليله بالامكان حسابه.

$$\boxed{I_{Ex} = I_{Ey} = \beta_R I_{B_1}}$$

β_R : Betta reverse bias

β_F : Betta forward bias

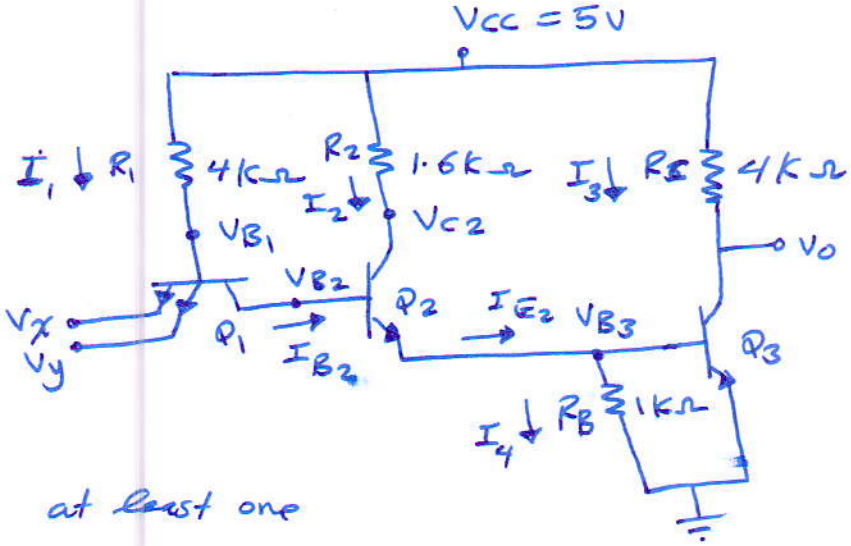
and

$$I_{C_1} = I_{B_1} + I_{Ex} + I_{Ey} = \boxed{(1+2\beta_R)I_{B_1}}$$

$\Rightarrow V_o = V_{CE(sat)} = 0.1V$ ("0") due to Q_2 is "on"

* يمكن الملاحظة بان TTL يستخدم في الدوائر المنطقية لانه عادة اسرع من DTL حيث يكون زمن التأخير بين الانتقال من حالة "on" الى حالة "OFF" او بالعكس بحوالي 10ns وعليه سرعة اقتراب تقدر ب (100MHz) ويسمى هذا الزمن ب Propagation delay time

Ex: For the TTL circuit below; Calculate the currents and voltages. Assume that $\beta_R = 0.1$ and $\beta_F = 25$.



Solution:

* For $V_x = V_y = 0.1$ or at least one

Q_1 is biased in saturation.

$V_{B2} = V_x + V_{CE(sat)} = 0.1 + 0.1 = \boxed{0.2V}$, ⟹ Q_2 and Q_3 are "OFF"

$V_{B1} = V_x + V_{BE(sat)} = 0.1 + 0.8 = \boxed{0.9V}$

$I_1 = \dfrac{V_{CC} - V_{B1}}{R_1} = \dfrac{5 - 0.9}{4K} = \boxed{1.03\,mA}$

$I_2 = 0A$ and $I_3 = 0A$ due to Q_2 and Q_3 are "OFF"

$I_{B2} = I_{E2} = I_4 = Zero$ ⟹ $V_o = \boxed{5V}$ "1"

* For $V_x = V_y = 5V$, then the input transistor (Q_1) is biased in the reverse bias.

*بما ان (Q_1) $B-E$ في حالة انحياز عكسي اذن $B-C$ يكون في حالة انحياز امامي. اذن Q_2 و Q_3 يكونان في حالة "on"

يتبع

$V_{B_1} = V_{BE(sat)_3} + V_{BE(sat)_2} + V_{BC(on)}$

$= 0.8 + 0.8 + 0.7 = \boxed{2.3\ V}$

$V_{C_2} = V_{BE(sat)_{Q_3}} + V_{CE(sat)_{Q_2}} = 0.8 + 0.1 = \boxed{0.9\ V}$

$I_1 = \dfrac{V_{CC} - V_{B_1}}{R_1} = \dfrac{5 - 2.3}{4} = \boxed{0.675\ mA}$

$\therefore I_{B_2} = (1 + 2\beta_R) I_1 = (1 + 2(0.1)) * 0.675 \times 10^{-3} = \boxed{0.81\ mA}$

Also

$I_2 = \dfrac{V_{CC} - V_{C_2}}{R_2} = \dfrac{5 - 0.9}{1.6} = \boxed{2.56\ mA}$

$I_{E_2} = I_2 + I_{B_2} = 2.56 + 0.81 = \boxed{3.37\ mA}$

$I_4 = \dfrac{V_{BE(sat)_3}}{R_B} = \dfrac{0.8}{1K\Omega} = \boxed{0.8\ mA}$

$I_{B_3} = I_{E_2} - I_4 = 3.37 - 0.8 = \boxed{2.57\ mA}$

$I_3 = \dfrac{V_{CC} - V_{CE(sat)_3}}{R_C} = \dfrac{5 - 0.1}{4K\Omega} = \boxed{1.23\ mA}$

$V_o = V_{CE(sat)} = \boxed{0.1\ V}$ "0"

V_x	V_y	V_o
0 or 1	1 or 0	1
1	1	0

$\therefore$ The circuit above is a NAND TTL circuit.

H.W ① : The Parameter of the TTL NAND circuit are: $R_1 = 6k\Omega$, $R_2 = 1.5k\Omega$, $R_B = 1.5k\Omega$ and $R_C = 2.2k\Omega$. Assume that $\beta_F = 20$ and $\beta_R = 0.1$ (For each input emitter), determine the base and collector currents in each transistor for: ⓐ $V_x = V_y = 0.1V$ ⓑ $V_x = V_y = 3.6V$.

Ans: ⓐ $I_1 = I_{B_1} = 0.683mA$, $I_{C_1} \simeq 0$, $I_{B_3} = I_{C_3} = 0$, $I_{B_2} = I_{C_2} = 0$.

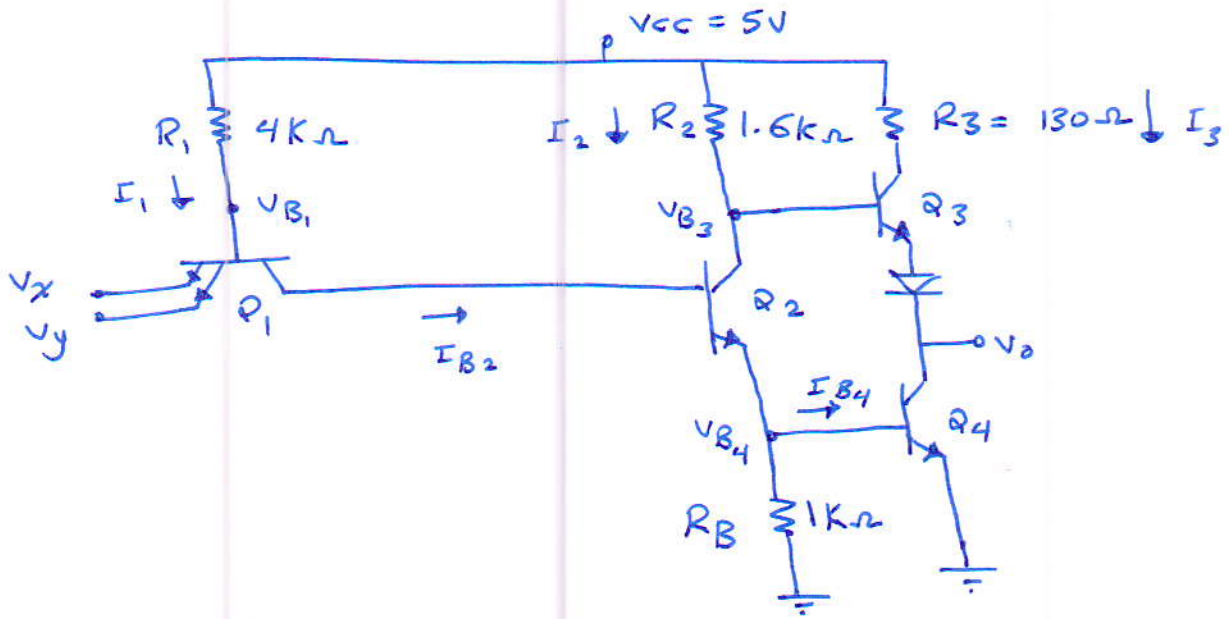
ⓑ $I_1 = I_{B_1} = 0.45mA$, $I_{B_2} = |I_{C_1}| = 0.54mA$, $I_2 = I_{C_2} = 2.73mA$

$I_{B_3} = 2.74mA$, $I_3 = I_{C_3} = 2.23mA$.

H.W ② The TTL circuit below has $\beta_R = 0.1$ and $\beta_F = 25$,

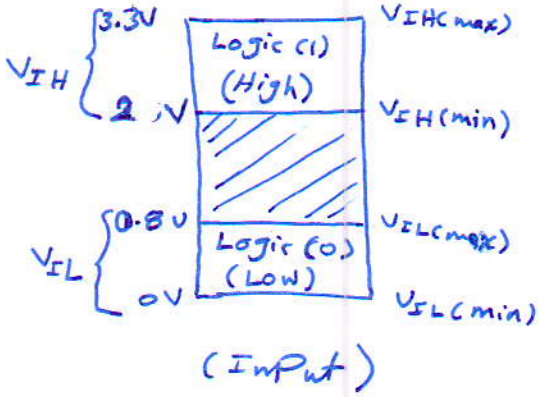
ⓐ Calculate the currents and voltages

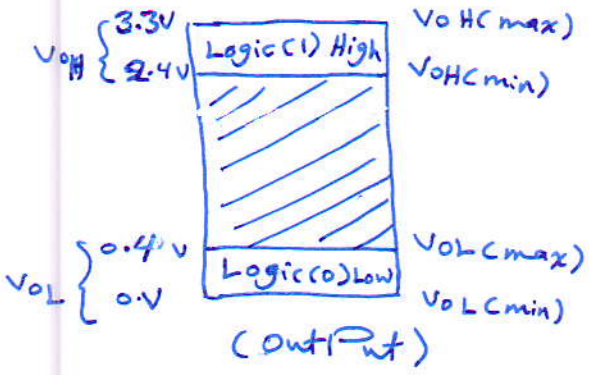
ⓑ what is the advantage of this circuit.



* CMOS and TTL logic levels:

1- Input and output logic levels for CMOS:

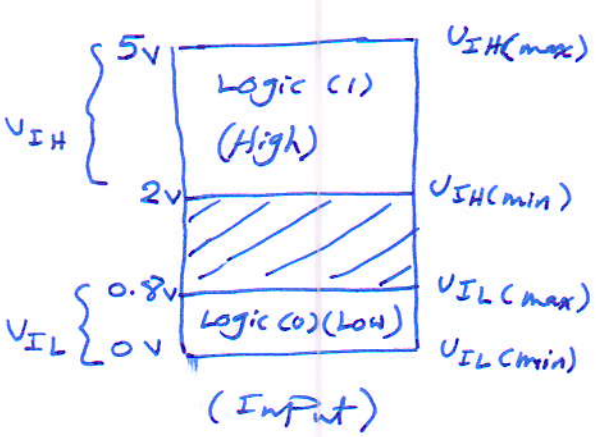


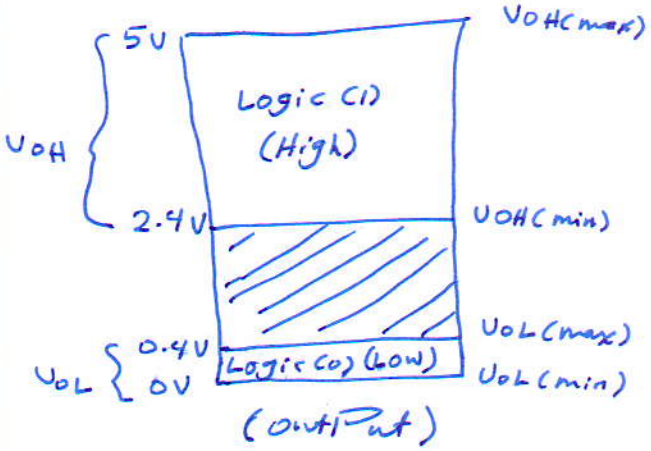


(Input)

(Output)

2- Input and Output logic levels for TTL:





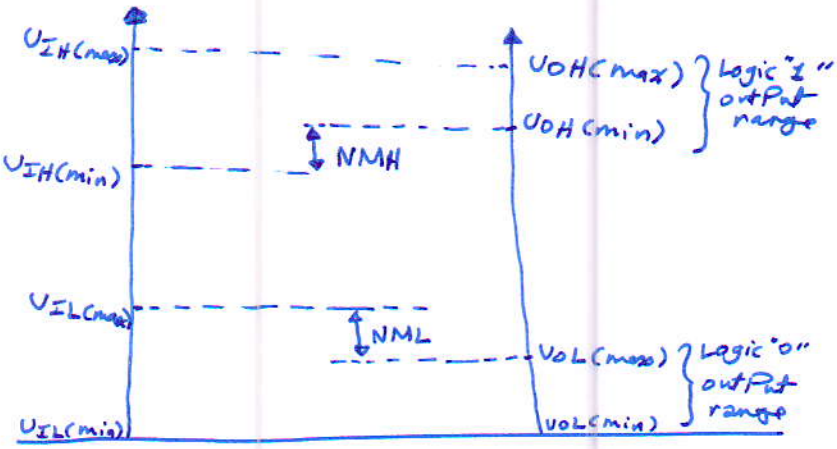
(Input)

(Output)

* بالإمكان الملاحظة بأن أعلى قيم لـ "1" logic بالنسبة لـ CMOS هي (3.3V) بينما تكون لـ TTL هي (5V) وكذلك قيم الفولتيات بالنسبة للادخال تكون أعلى من الإخراج للفولتيات الواطئة "0" Logic لقيمة (0.4V) بينما للفولتيات العالية (High) (logic "1") بالعكس.

* اي قيمة للإدخال تكون $V_{IL(min)} < V_I < V_{IH(max)}$ فان الترانزستور يعمل بـ Active region لذلك يجب ان لا يكون الإدخال ضمن هذه القيمة في الدوائر المنطقية.

* Noise Margin :



* هو مقياس لمناعة الدائرة المنطقية للضوضاء بالنسبة لل "0" logic و "1" logic حيث كلما قلت قيمة NMH و NML زادت مناعة الدائرة . واذا كانت الفولتية الداخلة للدائرة ضمن نطاق ال NM فان الاخراج يكون مشابه للادخال .

$$NM_H = V_{OH(min)} - V_{IH(min)}$$

$$NML = V_{IL(max)} - V_{OL(max)}$$

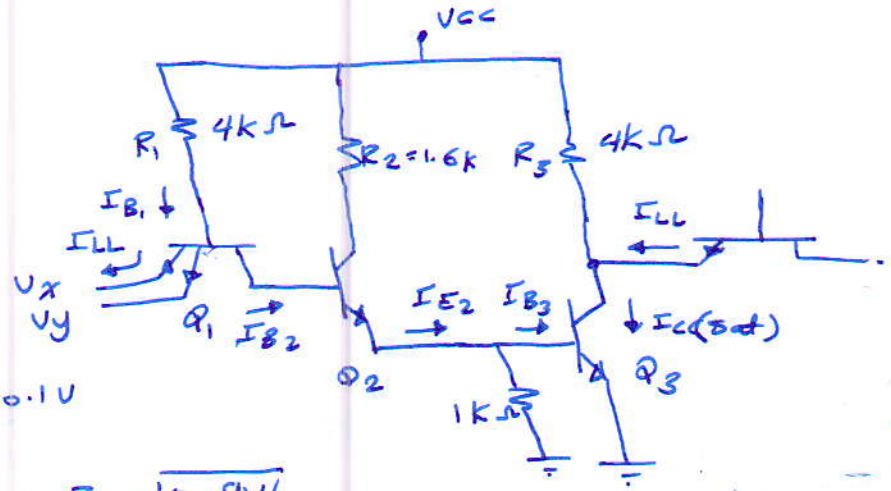
* TTL Fanout :

* Max fanout : تمثل اعلى عدد من ال gate المشابهة للدائرة التي بالامكان ربطها على اخراج الدائرة الاصلية من غير ان يؤثر على عمل الدائرة ، حيث اذا كان تيار الترانزستور المربوط على الاخراج (I_{Csat}) بمعنى الترانزستور في حالة اشباع لذلك يجب عدم ربط دوائر اكبر من Fanout بحيث يقل تيار I_C عن تيار (I_{Csat}) وعليه يتغير شكل الاخراج ؛ حيث اذا قل تيار I_C عن تيار (I_{Csat}) فان V_{OL} تزداد حتى تصل الى قيمة NML وعليه يتغير عمل الدائرة .

يتبع

Ex: Calculate the maximum fanout for the previous example let $\beta = 25$ for the output transistor?

Solution:



for $v_x = v_y = 0.1V$

$$V_{B_1} = 0.1 + 0.8 = \boxed{0.9V}$$

$$I_{LL} = \frac{V_{CC} - V_{B_1}}{R_1}$$

$$= \frac{5 - 0.9V}{4k} = \boxed{1.025mA}$$

* I_{LL} : التيار المار بالحمل عندما يكون الاخراج Low او التيار الداخل للدائرة عندما يكون الاخراج Low

من المثال السابق $I_{B_3} = \boxed{2.57mA}$

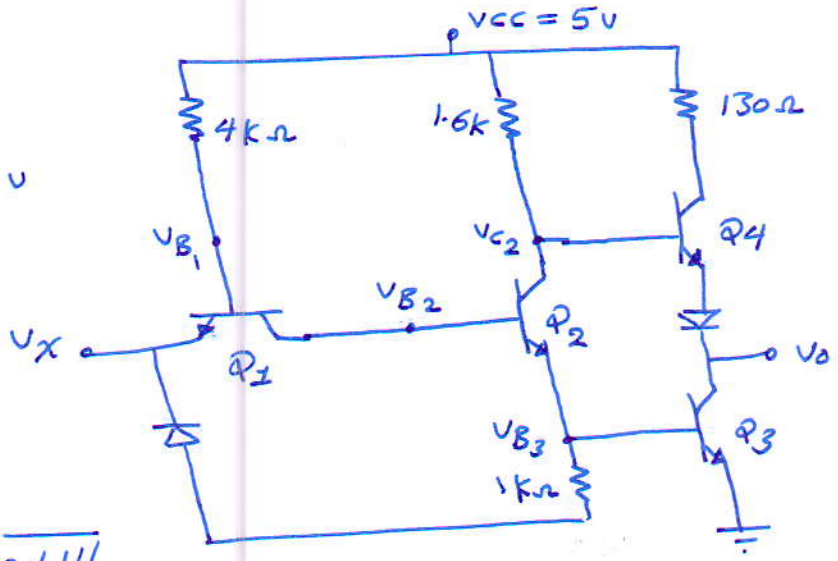
$$I_{C_3} = \beta_F I_{B_3} = (25)(2.57mA) = \boxed{64.25mA}$$

$$\boxed{\text{Max Fanout } (N) = \frac{I_{C(sat)}}{I_{LL}}} = \frac{64.25m}{1.025m} = \boxed{62.88}$$

$$\therefore \boxed{N = 62}$$

* تيار (I_C) في حالة الاشباع لا يساوي βI_B ولكن عند حساب تيار I_{Csat} نأخذ اسوء حالة وهي ان الترانزستور على حافة الاشباع بمعنى اقل مثبت تيار قبل ان يعمل الترانزستور في حالة الـ (Active)

H·W①: For the TTL inverter circuit shown below; determine the currents and voltages. Let $\beta_F = 25$ and $\beta_R = 0.1$.



Ans: For $V_X = 5V$;

$V_{B_1} = 2.3V$, $V_{B_2} = 1.8V$

$V_{C_2} = 0.9V$

$I_{B_1} = 1.025mA$

$I_{C_2} = 2.56mA$

$V_{B_3} = 0.8V$

$V_O = V_{Q_3 CE(sat)} = \boxed{0.1V}$

For $V_X = 0.1V$; $V_{B_1} = 0.9V$; $V_{B_2} = 0.2V$; Q_2 and Q_3 are "OFF"

$$V_O = V_{CC} - I(1.6K) - V_{BE(sat)} - V_D$$

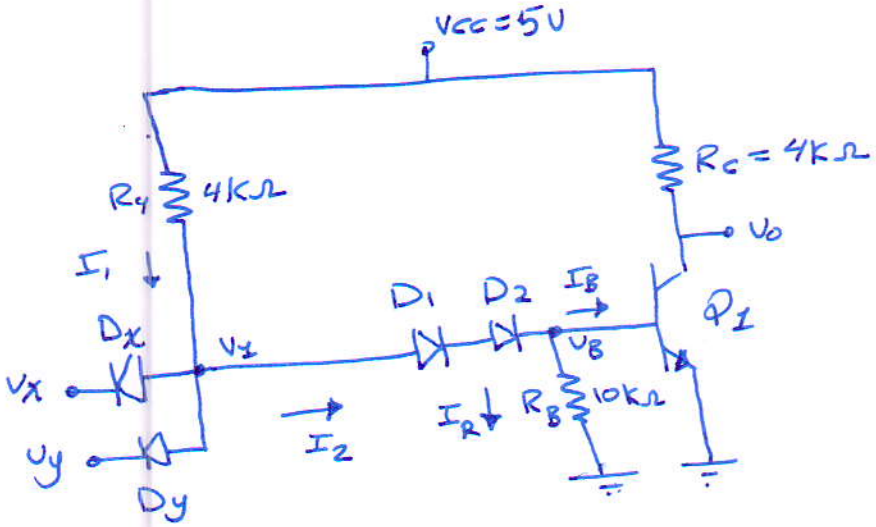
H·W②: The TTL circuit shown in Page (196) has $R_1 = 6k\Omega$, $R_2 = 2k\Omega$, $R_3 = 80\Omega$ and $R_B = 1.5k\Omega$. Assume that $\beta_F = 20$ and $\beta_R = 0.1$ (For each input emitter). Calculate the fanout for $V_X = V_Y = 3.6V$.

Ans: $\boxed{N = 60}$

2- Diode Transistor Logic (DTL):

* اذا كان إدخال الدائرة المنطقية عبر الدايود فان نوع الدائرة المنطقية يكون هو DTL

Ex: Determine the currents and voltages in the DTL logic circuit, then identify the logic gate type? Let $\beta = 25$.



Solution:

For $V_x = V_y = 0.1\,V \Rightarrow$ Dx and Dy are forward bias

$\Rightarrow V_1 = V_x + V_{Dx} = 0.1 + 0.7 = \boxed{0.8\,V}$

$$I_1 = \frac{V_{cc} - V_1}{R_4} = \frac{5 - 0.8}{4K} = \boxed{1.05\,mA}$$

$\Rightarrow$ D_1, D_2 and Q_1 are nonconducting. $\Rightarrow I_2 = 0$

$\therefore \boxed{V_o = V_{cc} = 5\,V}$

يتبع

For $V_x = V_y = 5V$ $\Rightarrow$ D_x and D_y are reverse bias

then D_1, D_2 and Q_1 are biased on

$$V_1 = V_{D_1} + V_{D_2} + V_{BE(sat)} = 0.7 + 0.7 + 0.8 = \boxed{2.2V}$$

$$I_1 = I_2 = \frac{V_{CC} - V_1}{R_1} = \frac{5 - 2.2}{4K} = \boxed{0.7\,mA}$$

$$I_R = \frac{V_{BE(sat)}}{R_B} = \frac{0.8}{10K} = \boxed{0.08\,mA}$$

$$I_B = I_2 - I_R = 0.7 - 0.08 = \boxed{0.62\,mA}$$

$$I_C = \frac{V_{CC} - V_{CE(sat)}}{R_C} = \frac{5 - 0.1}{4K} = \boxed{1.225\,mA}$$

$\boxed{V_o = 0.1 = V_{CE(sat)}}$ $\therefore$ It is a NAND gate.

H.W18 The DTL NAND gate has parameters of $R_1 = 6k\Omega$, $R_C = 5k\Omega$ and $R_B = 15k\Omega$. Assume $V_{CC} = 5V$ and $\beta = 25$. Determine I_1, I_2, I_R, I_B and V_o for (a) $V_x = V_y = 0.1V$ (b) $V_x = 5V$, $V_y = 0.1V$ (c) $V_x = V_y = 5V$.

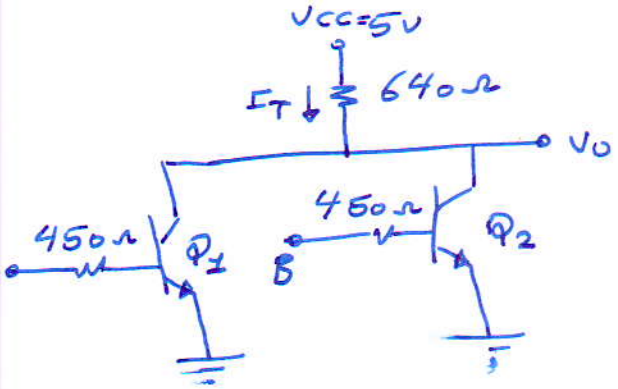
Ans: (a) $I_1 = 0.7mA$, $I_2 = I_R = I_B = 0$, $V_o = 5V$ (b) same as Part (a) (c) $I_1 = I_2 = 0.467\,mA$, $I_R = 0.053mA$

$I_B = 0.414\,mA$, $V_o = 0.1V$.

3- Resistor Transistor Logic (RTL):

* اذا كان الإدخال عبر مقاومة الى الدائرة المنطقية فان الـ logic gate تعتبر من نوع (RTL)، حيث تربط المقاومة الى إدخال الترانزستور لتجنب استجابة الترانزستور لاي اشارة ضعيفة عند الإدخال ناتجة عن noise وليس عن قيمة حقيقية للادخال.

Ex: Determine the currents and voltages for the RTL circuit below, then identify the logic gate type?



Solution:

For A and B = 5V

Q_1 and Q_2 are saturation

$$I_{B_1} = I_{B_2} = \frac{5-0.8}{450} = \boxed{9.33\,mA}$$

$$I_T = \frac{5-0.1}{640} = \boxed{7.65\,mA} \Rightarrow I_{C_1} = I_{C_2} = \frac{7.65}{2} = \boxed{3.8\,mA}$$

$\therefore V_o = V_{CE(sat)} = \boxed{0.1\,V}$

For (A or B) = 0.1 (at least one) $\Rightarrow V_o = \boxed{0.1\,V}$

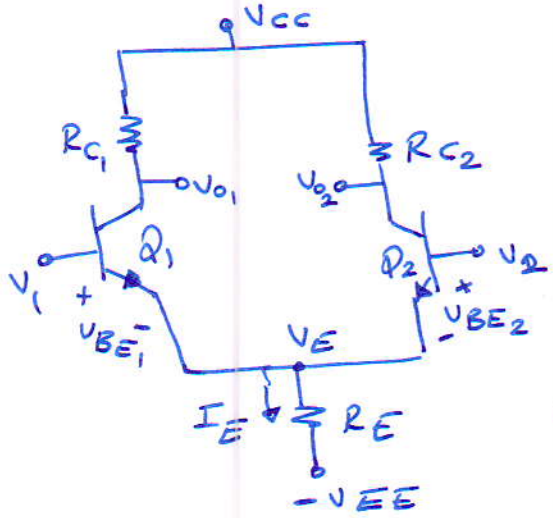
If Q_1 is "OFF" $\Rightarrow I_{C_1} = 0$ and $I_T = I_{C_2}$ and vise versa

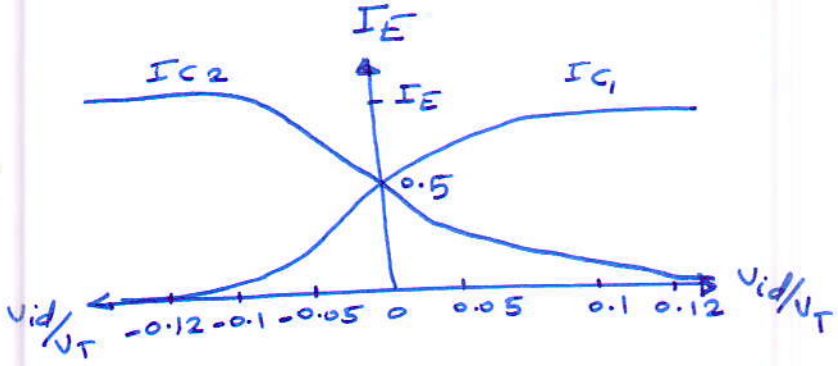
For A and B are equal to 0.1 V $\Rightarrow Q_1$ and Q_2 are "OFF"

$I_{C_1} = I_{C_2} = I_T = 0 \Rightarrow \boxed{V_o = 5V}$ ∴ It is a NOR gate.

4- Emitter coupled Logic (ECL):

* يعتبر عادة الـ TTL اسرع من الـ DTL لانه زمن تأخير الانتقال عند الـ TTL تقريباً 10nsec بينما في الـ DTL تقريباً 40nsec ؛ اما في حالة استخدام ECL فانه يعتبر سريع مقارنة بالطرق السابقة للربط حيث يصل زمن التأخير حوالي 1nsec او اقل. وذلك بسبب انه لا يعمل فيه منطقة الاشباع. حيث يعمل فقط في منطقة الفعالة (Active region) و منطقة القطع (cutoff region).





$$I_{C1} = I_S\, e^{V_{BE1}/V_T} \quad ; \quad I_{C2} = I_S\, e^{V_{BE2}/V_T}$$

$$\Rightarrow \frac{I_{C1}}{I_{C2}} = \frac{e^{V_{BE1}/V_T}}{e^{V_{BE2}/V_T}} = e^{(V_{BE1}-V_{BE2})/V_T} = e^{(0.12/0.026)} = \boxed{101}$$

* عندما يكون اوطال اي Φ_1 او Φ_2 اكبر من الترانزستور الآخر بـ (120mV) فان الترانزستور يعمل في حالة Active و الترانزستور الآخر يكون cutoff بمعنى ان تيار الترانزستور الذي يعمل يكون اكبر بحوالي مئة مرة من تيار الترانزستور الآخر

Ex: Calculate the currents and voltages in the basic differential amplifier circuit used as a digital circuit. Assume that $V_{CC} = 5V$; $V_{EE} = -5V$; $R_{C_1} = R_{C_2} = 1K\Omega$; $R_E = 2.15K\Omega$ and $v_2 = 0$, assume that dc base currents are negligible.

<u>Solution:</u>

* For $v_1 = 0$, both transistors are "on"

$$V_E = v_1 - v_{BE_1} = 0 - 0.7V = \boxed{-0.7V}$$

$$I_E = \frac{V_E - (-V_{EE})}{R_E} = \frac{-0.7 + 5}{2.15K} = \boxed{2mA}$$

Assuming Q_1 and Q_2 are matched

$$\Rightarrow I_{C_1} = I_{C_2} = \frac{I_E}{2} = \frac{2}{2} = \boxed{1mA}$$

$$\therefore v_{O_1} = v_{O_2} = V_{CC} - I_C R_C = 5 - (1m * 1k) = \boxed{4V}$$

* For $v_1 = -1V$

∵ فولتية Q_1 اقل من فولتية ادخال الـ Q_2 بـ 120mV او اكثر

فان Q_1 يكون "OFF" و Q_2 يكون "ON"

$$\therefore V_E = v_2 - v_{BE_2}$$

$$= 0 - 0.7 = \boxed{-0.7V} \quad \text{and} \quad I_E = \boxed{2mA} = I_{C_2}$$

$$\therefore I_{C_1} = \boxed{0} \Rightarrow v_{O_1} = V_{CC} \quad \text{and} \quad v_{O_2} = V_{CC} - I_{C_2} R_C$$

$$= 5 - (2m * 1k) = \boxed{3V}$$

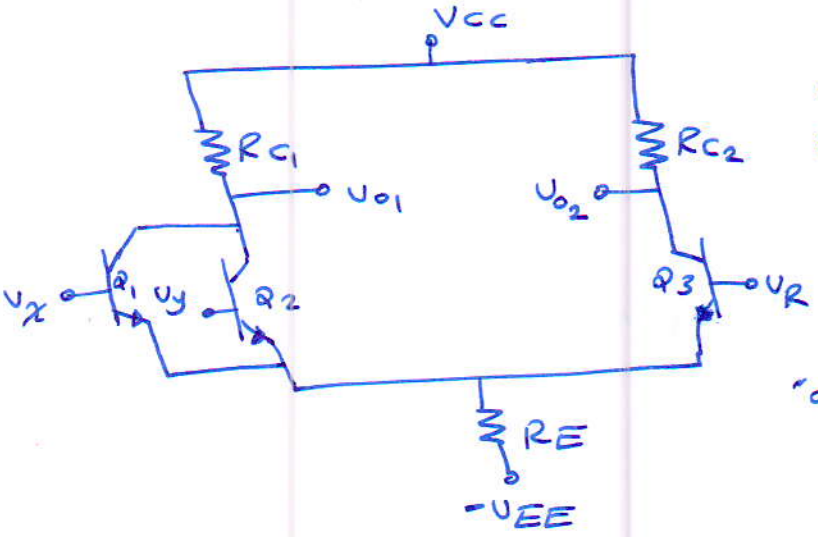
* For $v_1 = +1V \Rightarrow Q_1$ is "ON" and Q_2 is "OFF"

$$V_E = v_1 - v_{BE_1} = 1 - 0.7 = \boxed{0.3V}$$

$$I_E = \frac{0.3 + 5}{2.15K} = \boxed{2.47mA} = I_{C_1} \quad \text{and} \quad I_{C_2} = 0 \Rightarrow \boxed{v_{O_2} = V_{CC}}$$

$$v_{O_1} = V_{CC} - I_{C_1} R_{C_1} = 5 - (2.47 * 1K) = \boxed{2.53V}$$

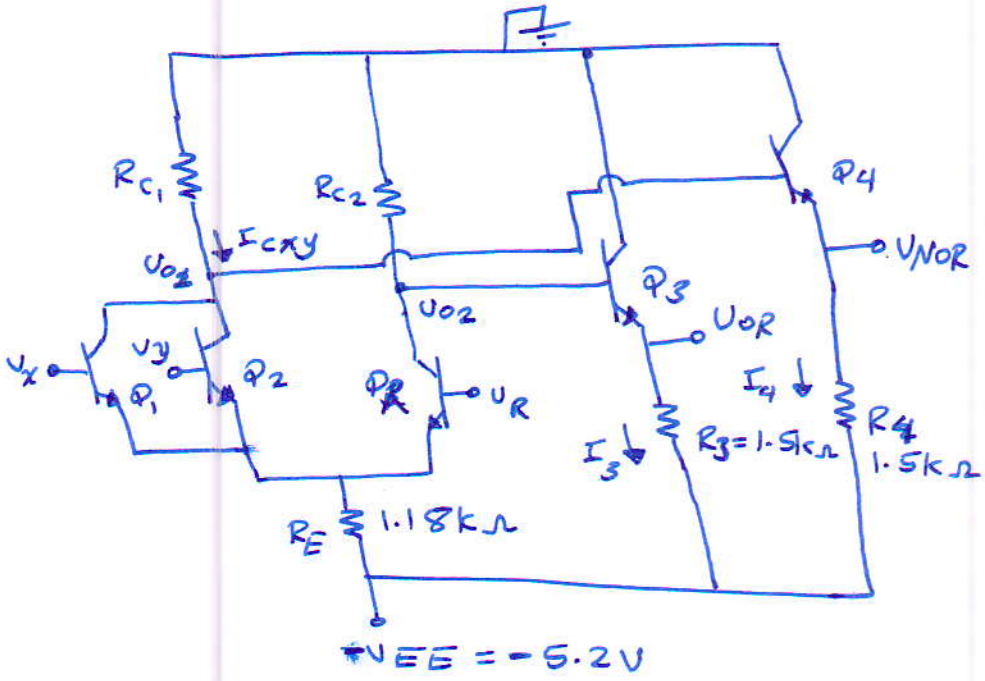
* Basic ECL Logic Gate:



* يمكن الملاحظة من خلال الدائرة بان الـ emitter لجميع الترانزستورات مربوطة سوياً (coupling). حيث يمكن وصف عمل الدائرة بالامور الآتية:
عندما يكون Vx او Vy اكبر من VR بـ 120mV او اكبر فان Q3 يكون "OFF" و Vo2=Vcc بينما يكون Vo1 = Low والعكس صحيح. وعليه فان Vo2 يمثل الإخراج لدائرة OR بينما Vo1 يمثل NOR. لذلك يمكن استخدام الـ ECL للحصول على اخراج اي دائرة منطقية Inverters لها من غير استخدام دوائر اضافية

* ECL Logic Gate with Emitter Followers:

* يمكن الملاحظة من الدائرة الاساسية لـ ECL بان الدائرة يجب ان تعمل دائماً بمنطقة الفعالة ومنطقة القطع وكلاهما من خلال عمل الدائرة تظهر مشكلة. اولاً: يجب الانتباه بان منطقة Base - Collector يجب ان تكون دائماً بانحياز عكسي لاننا نعمل بين المنطقة الفعالة والقطع وكلاهما عندما يكون إدخال احد Q1 او Q2 اكبر من Q3 بـ (120mV) فان Q3 يكون "OFF" وعليه فان Vo1 يكون اقل من الإدخال Vx او Vy لذلك يكون Base-collector في حالة انحياز امامي ويدخل الترانزستور في منطقة الاشباع. وهي حالة غير مرغوبة. لذا نلجأ الى اضافة تعديلات على الدائرة من خلال اضافة دائرة الـ emitter follower



*For U_X or U_Y is a logic 1 (greater than U_R by at least 120mV)

$\Rightarrow$ Q_R is cutoff; $I_{CR} = 0 \Rightarrow U_{O_2} = 0$

$\Rightarrow U_{OR} = U_{O_2} - V_{BE_3} = 0 - (0.7) = -0.7$ (logic 1)

and $V_{NOR} = (U_{O_1} - V_{BE_4}) < U_{OR}$ (logic 0)

* For U_X and U_Y are a logic 0 (less than U_R by at least 120mV)

$\Rightarrow$ Q_1 and Q_2 are cut off, $U_{O_1} = 0 \Rightarrow I_{CXY} = 0$

$\therefore V_{NOR} = U_{O_1} - V_{BE_4} = 0 - 0.7 = -0.7$ (logic 1)

and

$U_{OR} = U_{O_2} - V_{BE_3} = (-I_{C_2}R_{C_2} - V_{BE_3}) < U_{NOR}$ (logic 0)

Ex: For the circuit in fig (page - 207), calculate the currents, the voltages ① $v_x = v_y = -1.8V$, $V_R = -1.3V$ ② $v_x = -0.9V$, $v_y = -1.8V$ and $V_R = -1.3V$; then determine the power dissipation for each case and why were R_3 and R_4 not taken equal? $R_{C_1} = 220\Omega$, $R_{C_2} = 245\Omega$, $R_3 = R_4 = 2K\Omega$.

Solution:

① For $v_x = v_y = -1.8V$ and $V_R = -1.3V$ ⟹ Q_1 and Q_2 are "OFF" and Q_R is "ON" (Active region)

$$V_E = V_R - V_{BE_R} = -1.3 - 0.7 = \boxed{-2V}$$

$$I_E = \frac{V_E - V_{EE}}{R_E} = \frac{-2-(-5.2)}{779} = \boxed{4.1\,mA} = I_{C2} \text{ and } I_{C_{xy}} = 0$$

$$V_{OR} = -(I_{C2} R_{C2}) - V_{BE_3} = -(4.1 \times 10^{-3} * 245) - 0.7 = \boxed{-1.7V}$$ logic (0)

$$I_{R_3} = (V_{OR} - V_{EE})/R_3 = \frac{-1.7+5.2}{2K} = \boxed{1.75mA}$$

$$V_{NOR} = V_{O1} - V_{BE_4} = 0 - 0.7 = \boxed{-0.7V}$$ logic (1)

$$I_{R_4} = (V_{NOR} - V_{EE})/R_4 = \frac{-0.7+5.2}{2K} = \boxed{2.25\,mA}$$

$$P_D = I \quad = 5.2(2.25 + 1.75 + 4.1) * 10^{-3} = \boxed{42.12\,mW}$$

to be continue

② For $V_X = -0.9V$; $V_Y = -1.8V$ and $V_R = -1.3V$

$\Rightarrow$ Q_R is "OFF" and Q_1 is "ON" (Active region)

$V_E = -0.9 - 0.7 = \boxed{-1.6V}$ $\Rightarrow$ $I_E = \dfrac{-1.6 + 5.2}{779}$

$\therefore I_E = \boxed{4.62mA} = I_{CXY}$; $I_{C_2} = 0$

$V_{O_1} = -(4.62 \times 10^{-3} * 220) \simeq \boxed{-1V}$

$V_{O_2} = \boxed{0V}$ $\Rightarrow$ $V_{OR} = V_{O_2} - V_{BE_3} = 0 - 0.7 = \boxed{-0.7V}$ logic (1)

$V_{NOR} = V_{O_1} - V_{BE_4} = -1 - 0.7 = \boxed{-1.7V}$ logic (0)

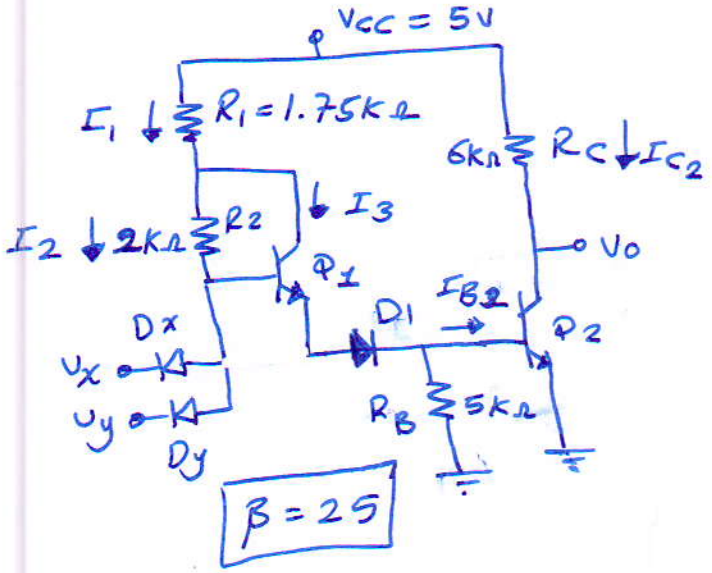
$I_{R_3} = \dfrac{V_{OR} - V_{EE}}{R_3} = \dfrac{-0.7 + 5.2}{2K} = \boxed{2.25mA}$

$I_{R_4} = \dfrac{V_{NOR} - V_{EE}}{R_4} = \dfrac{-1.7 + 5.2}{2K} = \boxed{1.75mA}$

$P_D = (5.2)(1.75 + 2.25 + 4.62) * 10^{-3} = \boxed{44.824mW}$

* تكون قيمة R_{C_1} أقل بقليل من قيمة R_{C_2} وذلك لتجنب مرور تيار عالي في R_E عندما يعمل Q_1 و Q_2. حيث نعمل على تقليل قيمة R_{C_1} لغرض جعل قيمة كبيرة من التيار في R_{C_1}.

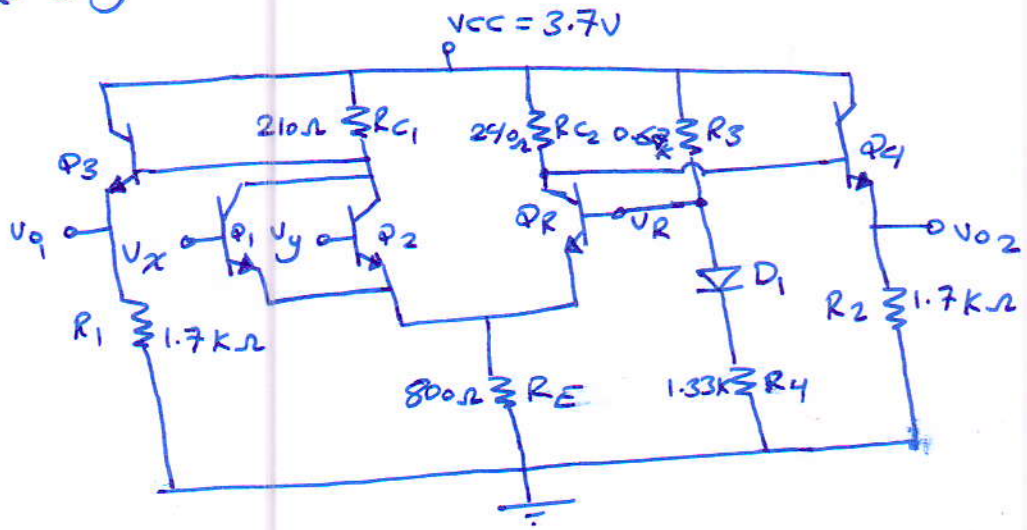
H.W① For the Modified DTL circuit in figure below, Calculate the indicated currents in the figure for $v_x = v_y = 5V$.



Ans: $I_1 = 1.53mA$;
$I_2 = 0.0589mA$;
$I_3 = 1.47mA$;
$I_{B_2} = 1.37mA$;
$I_{C_2} = 0.817mA$;

H.W②: Consider the ECL logic circuit in figure below;
ⓐ Determine the reference voltage (V_R) ⓑ Find the logic(0) and logic (1) voltage values at each output v_{o1} and v_{o2}. Assume that inputs v_x and v_y have the same values as the logic levels at v_{o1} and v_{o2}

Ans: ⓐ $V_R = 2.7V$ ⓑ logic(1) = 3 V and logic(0) = 2.4V

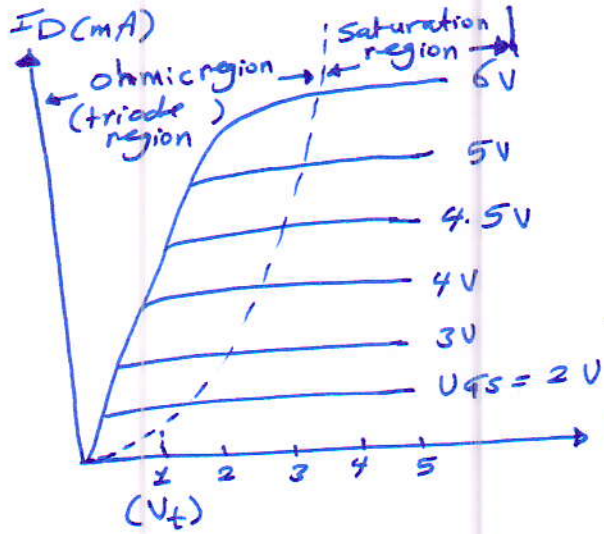


5- MOSFET Technology (NMOS, PMOS and CMOS):

* يستخدم الـ MOSFET كثيراً في بناء الدوائر المنطقية وذلك بسبب وثوقيته العالية حيث $I_G \approx 0$ و $R_G \approx \infty$ وكذلك يحتل مساحة اقل ضمن IC بالمقارنة مع المساحة التي يحتاجها الـ BJT.

ⓐ n-channel MOSFET

ⓑ P-channel MOSFET



* يمكن الملاحظة من خلال متابعة خصائص الـ MOSFET نوع n-channel (Enhancement) بأن هناك منطقتين للعمل وهما منطقة التشبع (Sat.) والمنطقة الأومية (triode) والتي يمكن وصفها بأنها كلما زادت قيمة فولتية VDS زاد تيار الـ ID.

① when $V_{DS} \geq (V_{GS} - V_t)$ ⟹ MOSFET in saturation region

$$I_D = K_n \frac{W}{L} (V_{GS} - V_t)^2$$

② when $V_{DS} < (V_{GS} - V_t)$ ⟹ MOSFET in triode region (ohmic)

$$I_D = K_n \frac{W}{L} \left[2(V_{GS} - V_t) V_{DS} - V_{DS}^2 \right]$$

Ex: Determine the bias state for the two conditions in figure below;

If $V_{tn} = 0.4V$.

(a)

(b)

<u>Solution:</u>

(a) $V_{GS} = V_G - V_S = 1.9 - 0 = \boxed{1.9}$ $V_{tn} = 0.4V$

$V_{DS} = V_D - V_S = 2.5 - 0 = \boxed{2.5V}$

$V_{GS} - V_{tn} = 1.9 - 0.4 = \boxed{1.5V}$

$\because V_{DS} > (V_{GS} - V_{tn})$ $\therefore$ the transistor is in the saturated state

(b) $V_{GS} = V_G - V_S = 2.2 - (-2.3) = \boxed{4.5V}$

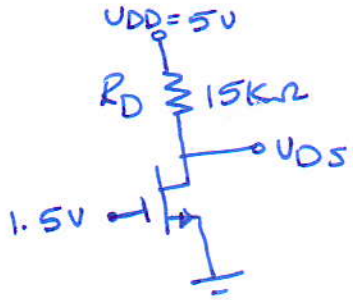
$V_{GS} - V_{tn} = 4.5 - 0.4 = \boxed{4.1V}$

$V_{DS} = V_D - V_S = 0.5 - (-2.3) = \boxed{2.8V}$

$\because V_{DS} < (V_{GS} - V_{tn})$ $\therefore$ the transistor is in the triode state.

* اذا لم يمكن معرفة حالة الترانزستور فاننا نفرض ان الحالة هي saturation ومن ثم نكمل بقية الحسابات ونجد V_{DS} فان كانت النتيجة موجبة فان فرضيتنا صحيحة واذا كانت V_{DS} سالبة فان الفرضية خاطئة. وهذه الحالة للـ n-channel واما الـ P-channel بالعكس.

Ex (1): Calculate I_D and V_{DS}, if $K_n = 100\,\mu A/V^2$, $V_{tn} = 0.6\,V$ and $W/L = 3$ for the circuit below.



Solution:

* نفرض بان الترانزستور يعمل في منطقة الإشباع

$\therefore I_D = K_n \frac{W}{L} (V_{GS} - V_{tn})^2 = 100 * 10^{-6} * 3 * (1.5 - 0.6)^2$

$= \boxed{243\,\mu A}$

$\Rightarrow V_{DS} = V_{DD} - I_D R_D = 5 - (243 * 10^{-6} * 15 * 10^3) = \boxed{1.355\,V}$

$\because V_{GS} - V_{tn} = 1.5 - 0.6 = \boxed{0.9\,V}$

$\therefore V_{DS} > (V_{GS} - V_{tn}) \Rightarrow$. (الفرضية صحيحة)

H.W: Repeat example (1), finding I_D and V_{DS} if $V_G = 1.8\,V$

Ans:

$I_D = 298\,\mu A$; $V_{DS} = 0.531\,V$.

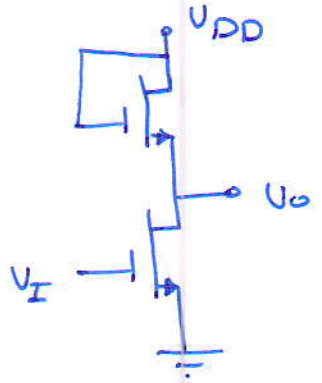
~ . ~ . ~ . ~ . ~ .

* يمثل (L) طول القناة بين الـ Source و الـ Drain بينما (W) يمثل عرض القناة ؛ وهناك ابحاث تدرس امكانية الحصول على افضل سرعة وموثوقية لعمل الـ MOSFET من خلال تغيير قيمة الـ (W/L) ، ودائما في التصميم يكون الـ (L) ثابت والتحكم يكون بـ (W) وعند ربط الـ (n-channel) مع (P-channel) يكون (W/L) للـ n-channel نصف قيمة الـ (W/L) للـ (P-channel) .

* NMOS Logic Circuit :

1- NMOS Inverter

* يتم بناء البوابة المنطقية فقط باستخدام n-channel.



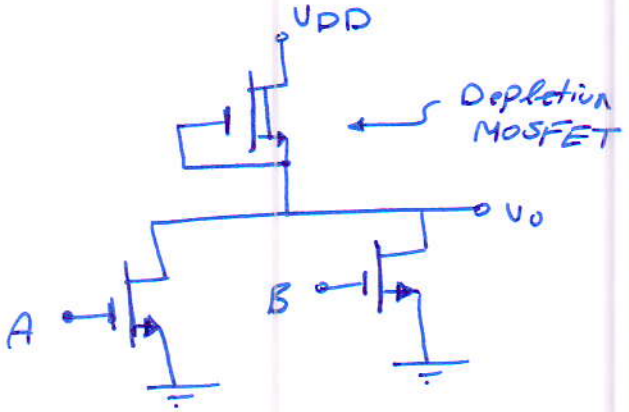
(a) NMOS Inverter

V_I	V_O
0	V_{DD}
1	0

(b) Truth table.

2- NMOS (NOR Logic gate):

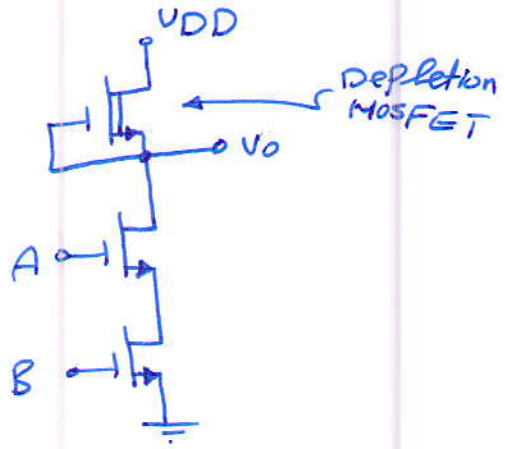
* عندما يُطلب بناء دائرة (OR) او (NOR) فان الطريقة المعتمدة تكون إدخاليه على التوازي بينما عندما يُطلب بناء دائرة (AND) او (NAND) فيتم ذلك بربط الإدخاليه على التوالي وكما سيوضح لاحقاً.



* يتم استخدام (Depletion MOSFET) لغرض الحصول على قيمة تيار ثابت في الاخراج حيث عندما يكون (Vo) يساوي صفر فان تيار $I_D = I_{DSS}$

H.W: Find the realization of OR circuit using NMOS transistor only.

3- NMOS (NAND Logic gate):



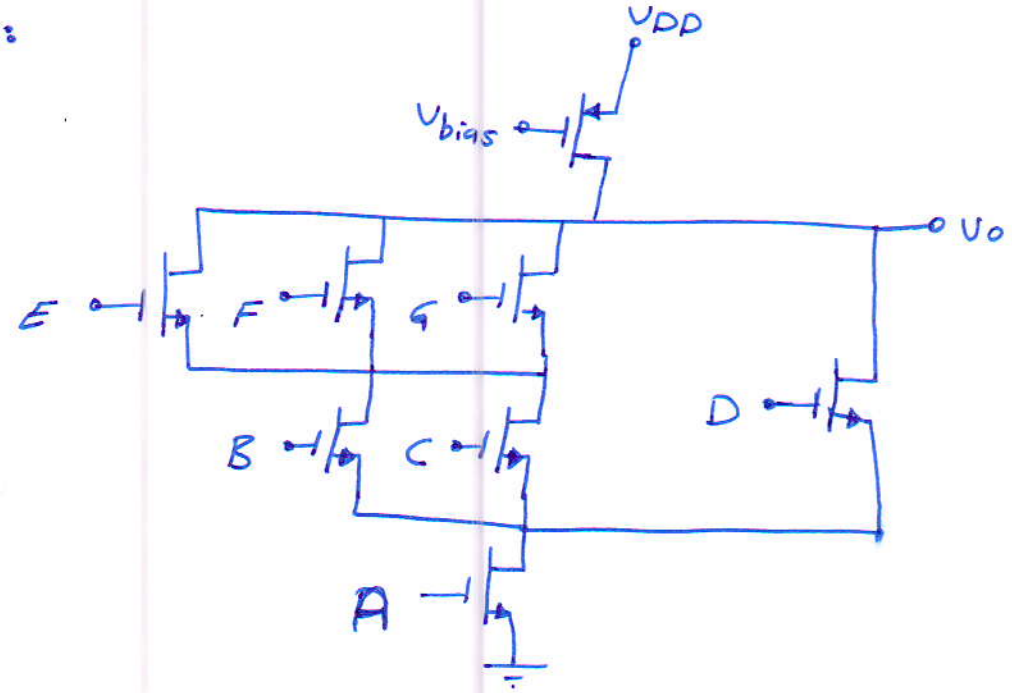
A	B	Vo
0	0	1
0	1	1
1	0	1
1	1	0

ⓐ NMOS NAND Logic gate ⓑ Turthtable

~ . ~ . ~ .

Ex: Find the realization of Vo expersion using NMOS and PMOS transistor only. $[V_o = \overline{A(D + (B+C)(E+F+G))}]$

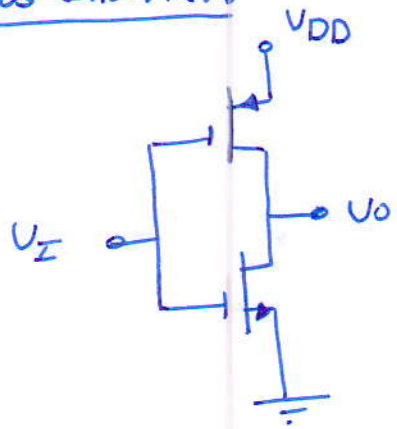
Solution:



* لاحتياج شرط للدائرة (NOT) لازم إخراج الدائرة الاصلي .
يوجد فيه (NOT) ضمنياً .

*CMOS Logic circuit:

1- CMOS Inverter:

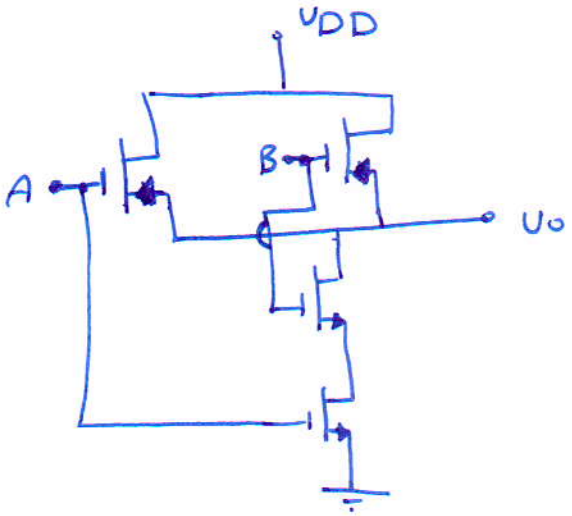


* عندما يكون الإدخال (I) Logic(1) فإن n-channel يكون "ON" بينما يكون P-channel "OFF" وعليه يكون الإخراج Logic(0) والعكس بالعكس.

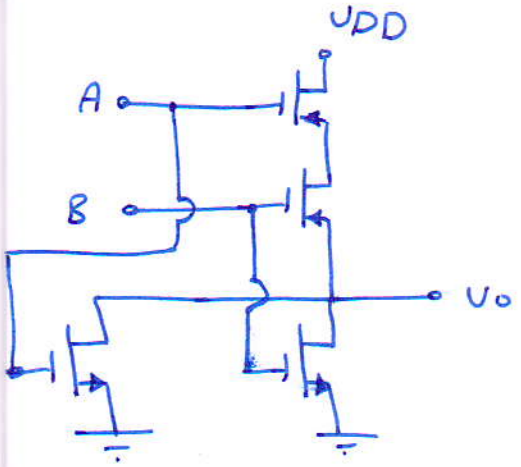
(a) Inverter using complementary MOS (CMOS) transistor

2- CMOS (NAND Logic gate):

* عندما يطلب في السؤال استخدام CMOS لبناء الدائرة المنطقية فإنه يجب استخدام n-channel و P-channel لكل جزء.



3- CMOS (NOR Logic gate):



H.W① Find the realization of y expersion using NMOS and PMOS transistor only

$$y = \overline{(A+B)F + (C+D+E)G + H}$$

H.W2: Find traditional CMOS realization of the following truth table using Karnaugh map techniques.

A	B	C	D	Vo
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	d
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1

(d: don't care)

A	B	C	D	Vo
1	1	0	0	0
1	1	0	1	1
1	1	1	0	d
1	1	1	1	d